

32 位微控制器

KF32A140

数据手册

芯片特征

● CPU

32 位高性能 KungFu32 内核；
工作频率最高为 48MHz，可软件调节；
基于 16 位/32 位混合指令的高效指令集；
3 级流水线；
32×32 单周期乘法，32÷32 硬件除法；
支持中断优先级处理，实现自动中断堆栈；
13 个 32 位通用寄存器 R0~R12；
链接寄存器（R13）；
堆栈指针寄存器（R14）；
程序计数器（R15）；
24 位系统节拍定时器；

● 存储器

最高 256KByte FLASH，带 ECC 校验；
最高 32KByte RAM，带 ECC 校验；
2 个 256Byte 双端口 RAM，带 ECC 校验；
16KByte 引导 ROM；
FLASH 可经受 100 000 次写操作；

● 特殊功能

内嵌上电复位电路；
低电压检测及低电压复位；
可编程电压检测；
硬件双看门狗；
6 种时钟源，3 种时钟信号选择；
支持两线串行编程/在线调试；

● I/O 口配置

LQFP64 封装有 56 个通用 I/O；
LQFP48 封装有 43 个通用 I/O；
QFN32 封装有 29 个通用 I/O；
支持输入输出设置；
支持内置上拉/下拉功能；

支持推挽输出和开漏输出模式；

支持数字/模拟引脚设置；

支持引脚功能重映射；

施密特电平输入；

● 定时器/计数器

定时器 5/6 高级定时器，定时器 5/6 支持 ECCP5；

定时器 1/2/3/4 为通用定时器，其中定时器 1/2/3/4 支持 CCP1/2/3/4；

定时器 0：16 位低功耗通用定时器，支持 CCP0；

定时器 14/15：基本定时器；

定时器 7：用于 QEIO；

● 其它外设

2 个 7 通道 DMA；

1 个硬件 CRC32 模块；

2 个 SPI 总线模块（兼容 I2S）；

3 个 I2C 总线模块（兼容 SMBUS/PMBUS）；

4 个 USART 模块（兼容 7816/LIN/IRDA 功能），其中 1 个为低功耗 USART；

2 个 CAN2.0B 模块，其中 1 个低功耗 CAN；

1 个 CFGL 可配置逻辑单元模块；

1 个独立的 RTC（万年历）；

3 个 12 位 ADC 模块，支持最多 28 个通道；

2 个 CMP 比较器模块；

● 功耗管理

5 种功耗模式：正常运行模式、休眠模式、停止模式，待机模式，关断模式；

● 工作条件

工作电压：2.0V~3.6V；

工作温度范围：-40~+125°C；

目 录

芯片特征	2
目 录	3
1 芯片资源	6
1.1 产品订购信息.....	6
1.2 资源表.....	7
2 系统概述	8
2.1 系统概述.....	8
2.2 指令集.....	8
2.3 在线编程和调试.....	9
2.3.1 ISP 模式.....	9
2.3.2 DPI 模式.....	9
2.4 系统框图.....	10
2.5 KF32A140 外设资源对照表.....	11
2.6 芯片引脚图.....	12
2.6.1 QFN32.....	12
2.6.2 LQFP48.....	13
2.6.3 LQFP64.....	14
2.7 电源引脚说明.....	15
3 振荡器（OSC）	16
3.1 概述.....	16
3.2 振荡器结构框图.....	17
4 存储器（memory）	18
4.1 概述.....	18
4.2 存储器空间映射.....	18
5 I/O 端口介绍.....	20
5.1 概述.....	20
5.2 引脚重映射说明（数字功能）	21
5.3 引脚重映射说明（系统以及模拟功能）	24
5.4 引脚重映射表-低功耗外设功能重映射.....	26
5.5 引脚重映射表-外部唤醒引脚、侵入检测和时间戳引脚映射.....	27
5.6 CCP 引脚资源.....	27
6 资源介绍	28
6.1 DMA	28
6.2 节拍定时器（SYSTICK）	28
6.3 基本定时/计数器(T14/T15).....	28

6.4 通用定时/计数器(T0/1/2/3/4).....	29
6.5 高级定时/计数器 (T5/T6)	29
6.6 通用捕捉/比较/PWM 模块 (CCP0/1/2/3/4)	29
6.7 增强型捕捉/比较/PWM 模块(ECCP5).....	30
6.8 正交编码脉冲电路 (QEIO)	30
6.9 模数转换模块 (A/D)	30
6.10 模拟比较器模块 (CMP)	31
6.11 通用全/半双工收发器 (USART)	31
6.12 串行外设接口 (SPI)	31
6.13 内部集成电路接口 (I2C)	32
6.14 实时时钟 (RTC)	32
6.15 控制器局域网总线 (CAN)	32
6.16 独立看门狗 (IWDG)	33
6.17 窗口看门狗 (WWDG)	33
6.18 CFGL 模块 (CFGL)	33
6.19 复位 (RESET)	34
6.20 外设模块时钟使能模块(CLK_EN).....	34
6.21 备份域 (BKP)	34
6.22 循环冗余校验单元 (CRC)	35
7 电气特性	36
7.1 概述.....	36
7.1.1 最大值和最小值说明.....	36
7.1.2 典型值.....	36
7.2 最大承受范围.....	36
7.3 运行条件.....	38
7.3.1 常规运行条件.....	38
7.3.2 上电/掉电的运行条件.....	38
7.3.3 复位和电源控制模块特性 BOR,PVD.....	39
7.3.4 电源电流特性.....	40
7.3.5 内核电源 VREG.....	41
7.4 时钟源特性.....	42
7.4.1 HSE	42
7.4.2 LSE.....	42
7.4.3 HSI	43
7.4.4 LP4M	43
7.4.5 LSI.....	43
7.4.6 PLL.....	44
7.5 IO 端口特性	45
7.5.1 静态特性.....	45
7.5.2 IO 输出特性.....	45
7.5.3 IO AC 特性	45
7.5.4 NRST 管脚特性.....	46
7.5.5 外部中断特性.....	46

7.6 外设.....	47
7.6.1 ADC 12BIT 特性.....	47
7.6.2 电压参考 VREFREG 特性.....	48
7.6.3 比较器特性.....	48
7.7 功耗特性.....	49
7.7.1 程序运行在 FLASH 时的静态功耗特性	49
7.7.2 程序运行在 SRAM 时的静态功耗特性.....	49
7.7.3 休眠功耗特性.....	49
7.7.4 低功耗模式特性.....	50
8 封装信息	51
8.1 QFN32 封装.....	51
8.2 LQFP48 封装.....	51
8.3 LQFP64 封装.....	52
9 KF32 产品标识体系	53
10 RoHS 认证	54
11 声明及销售网络.....	55
12 版本更新记录	56

1 芯片资源

1.1 产品订购信息

型号	订货号	封装	GPIO	FLASH(KB)	RAM(KB)	频率(Hz)	16 位定时器				CCP	ECCP	QEI	SPI	I2C	USART	低功耗 USART	CAN	低功耗 CAN	12 位 ADC	比较器	RTC	CFGL	CRC	工作电压
							基本	通用	高级	低功耗															
KF32A140	KF32A140INP	QFN32	29	128	32	48M	2	4	2	1	4	1X8ch	1	2	3	1	1	1	N	3(15)	2	Y	Y	Y	2.0~3.6V
	KF32A140IQS	LQFP48	43	128	32	48M	2	4	2	1	5	1X8ch	1	2	3	3	1	2	N	3(23)	2	Y	Y	Y	2.0~3.6V
	KF32A140KQS	LQFP48	43	256	48	48M	2	4	2	1	5	1X8ch	1	2	3	3	1	2	N	3(23)	2	Y	Y	Y	2.0~3.6V
	KF32A140IQT	LQFP64	56	128	32	48M	2	4	2	1	5	1X8ch	1	2	3	3	1	1	1	3(28)	2	Y	Y	Y	2.0~3.6V
	KF32A140KQT	LQFP64	56	256	48	48M	2	4	2	1	5	1X8ch	1	2	3	3	1	1	1	3(28)	2	Y	Y	Y	2.0~3.6V

1.2 资源表

表 1-1 KF32A140 资源表

型号	KF32A140				
订货号	KF32A140INP	KF32A140IQS	KF32A140KQS	KF32A140IQT	KF32A140KQT
封装	QFN32	LQFP48	LQFP48	LQFP64	LQFP64
主频	48MHz				
GPIO	29	43	43	56	56
FLASH	128 KByte, 带 ECC	128 KByte, 带 ECC	256 KByte, 带 ECC	128 KByte, 带 ECC	256 KByte, 带 ECC
RAM	32KByte, 带 ECC	32KByte, 带 ECC	48KByte, 带 ECC	32KByte, 带 ECC	48KByte, 带 ECC
双端口 RAM	1 个 256 Byte	2 个 256 Byte			
ROM	16 KByte				
16 位 Timer	2 个高级定时器支持 1 个增强型 CCP				
	4 个通用定时器,其中 TI1/3/4 分别支持 CCP1/3/4	4 个通用定时器支持最多 4 个通用 CCP			
	2 个基本定时器				
	1 个低功耗通用定时器支持最多 1 个通用 CCP				
QEI	1				
CMP	2				
12 位 ADC	15*3	23*3		28*3	
USART	1	3			
LPUSART	1				
I2C	3				
SPI	2				
CAN2.0B	1	2		1	
LPCAN	N			1	
RTC	Y				
DMA	2x7				
CFGL	Y				
CRC	Y				
内部高频振荡器	16MHz				
内部低频振荡器	32KHz				
外部高频时钟	4~32MHz				
外部低频时钟	32.768KHz				
内部参考	1.5/2/2.5/3V				
器件 ID 号	含出厂版本号等				
指令系统	V0				
工作电压	2.0V~3.6V				
工作温度	工作温度范围: -40~+125°C				

2 系统概述

2.1 系统概述

KF32A140 系列单片机是基于 KF32 内核架构开发的单片机。KF32 为 32 位三级流水线结构的高性能处理器内核，KF32 内核具有以下特点：

- 三级流水线结构
- 基于 16 位/32 位混合指令的高效指令集
- 支持 13 个 32 位通用寄存器（R0~R12），1 个链接寄存器（R13），1 个堆栈指针寄存器（R14），1 个程序计数器（R15）
- 支持 32×32 单周期硬件乘法
- 支持 32/32 硬件除法
- 支持 8/16/32 位数据访存操作，支持 8/16/32/64 位数据处理
- 支持加减移位和逻辑运算
- 支持相对/绝对跳转，支持条件跳转
- 具有统一的存储空间，32 位地址位宽，支持 4GB 存储空间
- 支持最多 64+16 个中断请求和 16 个中断优先级
- 支持多种休眠模式
- 支持 24 位系统节拍定时器
- 提供了可编程存储器访问权限控制
- 支持多种操作系统（OS）特性

2.2 指令集

KF32A140 系列单片机拥有基于 16 位/32 位混合指令的高效指令集，拥有多种操作模式。

2.3 在线编程和调试

开发人员和用户可以使用未编程的单片机来制造电路板，然后对其在线编程，调试等。只要有电脑、USB 下载线和编程器，即可在任何时候，任何地点，对电路板上的单片机程序进行更新。

可以通过下列方式实现对单片机的编程或调试：

- ISP 模式进行编程
- DPI 模式进行调试或编程

2.3.1 ISP 模式

在 ROM 启动模式中可以直接通过串口实现对芯片的编程。该模式接口连接如下图所示。

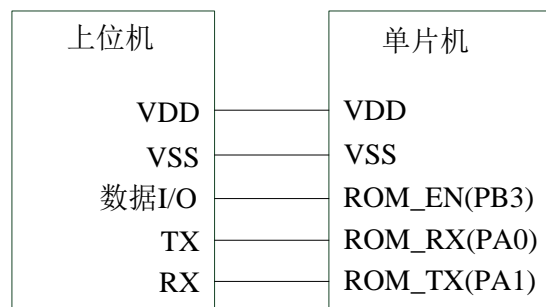


图 2-1 ISP 模式编程接口

2.3.2 DPI 模式

DPI (Debug/Program Interface) 模式通过 KF32DP 编程器对芯片进行调试或编程。该模式接口连接如下图所示。

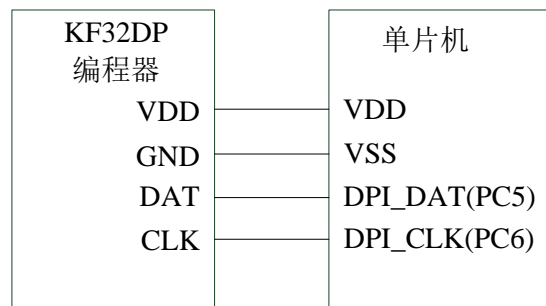


图 2-2 DPI 模式编程接口

2.4 系统框图

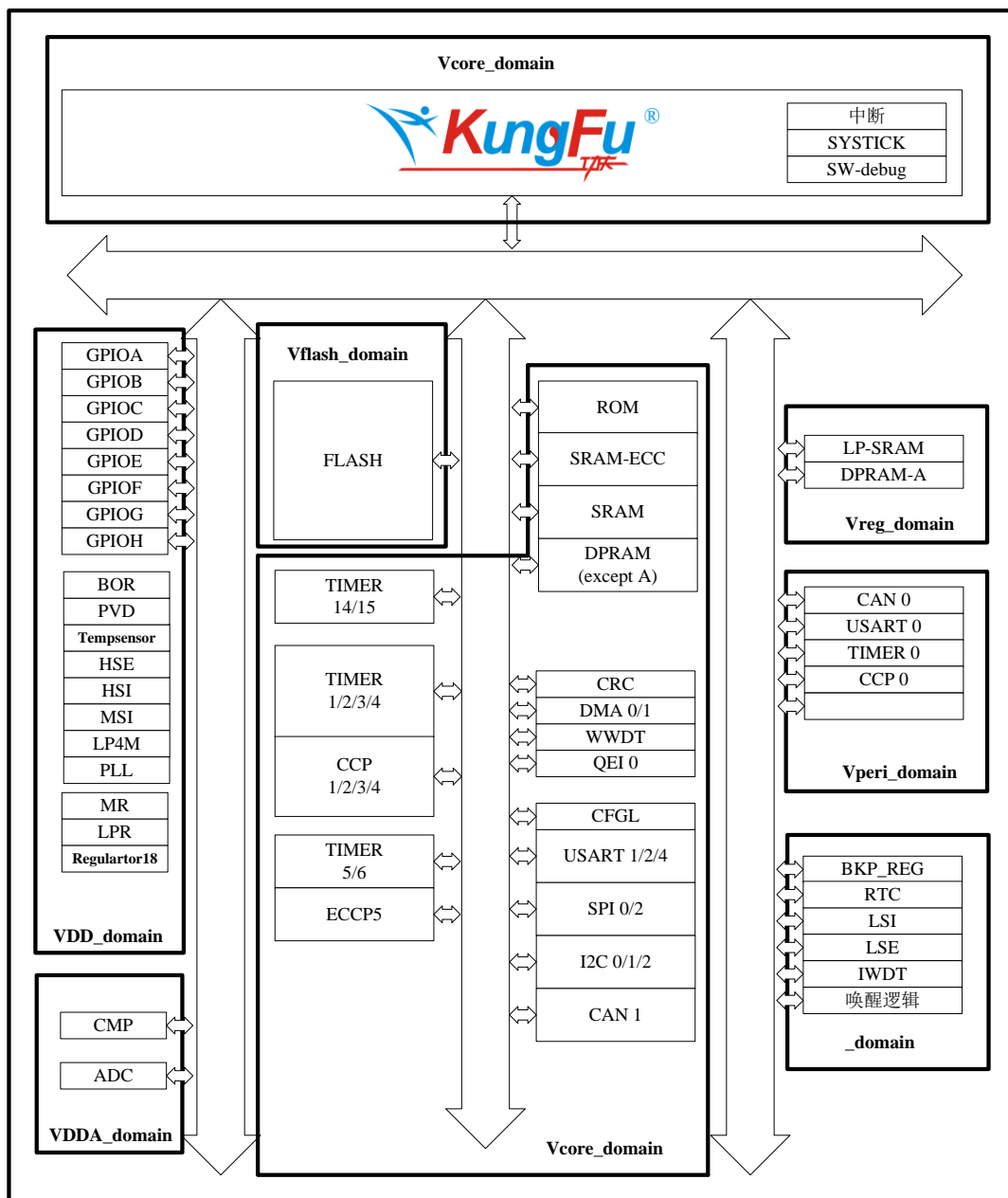


图 2-3 系统结构框图

2.5 KF32A140 外设资源对照表

表 2-1 KF32A140 外设资源对照表

型号	KF32A140				
订货号	KF32A140INP	KF32A140IQS	KF32A140KQS	KF32A140IQT	KF32A140KQT
封装	QFN32	LQFP48	LQFP48	LQFP64	LQFP64
GPIO	29	43	43	56	56
FLASH	128KB	128KB	256KB	128KB	256KB
RAM	32KB	32KB	48KB	32KB	48KB
ROM	16KB	16KB	16KB	16KB	16KB
频率	48MHz	48MHz	48MHz	48MHz	48MHz
16 位基本定时器	T14/15	T14/15	T14/15	T14/15	T14/15
16 位通用定时器	T1/2/3/4	T1/2/3/4	T1/2/3/4	T1/2/3/4	T1/2/3/4
16 位的低功耗通用定时器	T0	T0	T0	T0	T0
16 位高级定时器	T5/6	T5/6	T5/6	T5/6	T5/6
QEI	QEIO	QEIO	QEIO	QEIO	QEIO
12 位 ADC	ADC0/1/2	ADC0/1/2	ADC0/1/2	ADC0/1/2	ADC0/1/2
比较器	CMP0/1	CMP0/1	CMP0/1	CMP0/1	CMP0/1
USART	USART1	USART1/2/4	USART1/2/4	USART1/2/4	USART1/2/4
低功耗 USART	USART0	USART0	USART0	USART0	USART0
I2C	I2C0/1/2	I2C0/1/2	I2C0/1/2	I2C0/1/2	I2C0/1/2
SPI	SPI0/2	SPI0/2	SPI0/2	SPI0/2	SPI0/2
CAN	CAN0	CAN0/1	CAN0/1	CAN1	CAN1
低功耗 CAN	N	N	N	CAN0	CAN0
RTC	Y	Y	Y	Y	Y
CFGL	Y	Y	Y	Y	Y
DMA	DMA0/1	DMA0/1	DMA0/1	DMA0/1	DMA0/1
CRC	Y	Y	Y	Y	Y

2.6 芯片引脚图

2.6.1 QFN32



图 2-4 QFN32

注：VREF-无复用，在内部直接与地 VSSA 引脚相连。

2. 6. 2 LQFP48

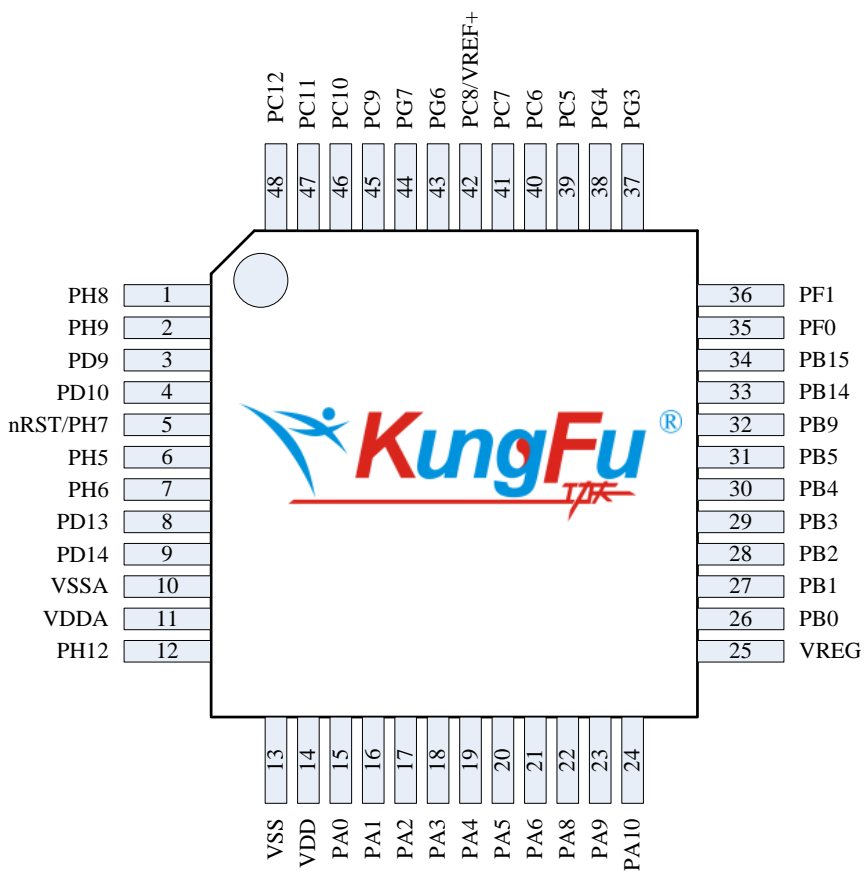


图 2-5 LQFP48

注：VREF-无复用，在内部直接与地 VSSA 引脚相连。

2. 6. 3 LQFP64

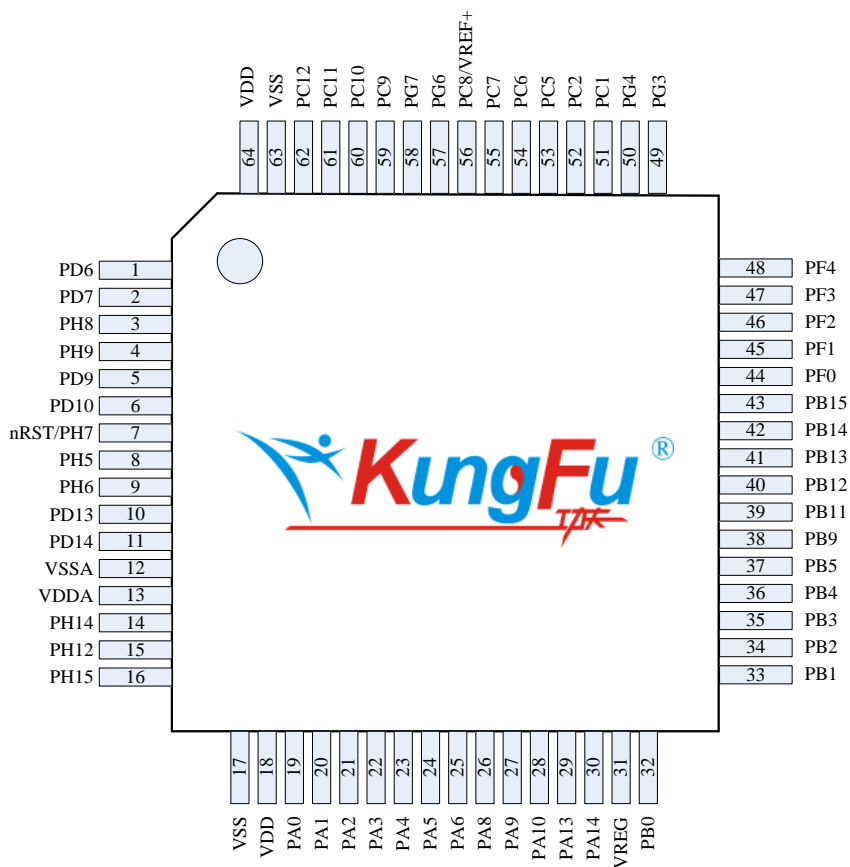
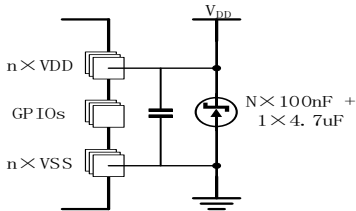
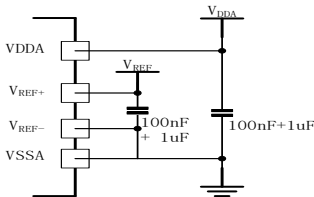
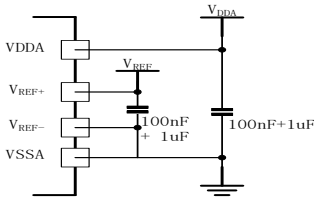
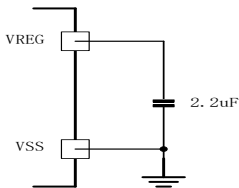


图 2-6 LQFP64

注：VREF-无复用，在内部直接与地 VSSA 引脚相连。

2.7 电源引脚说明

表 2-2 电源引脚连接说明

引脚名称	功能说明
VDD/VSS	<p>供电电源/地引脚，所有 VDD、VSS 须在外围分别连接，需要接 4.7uF 电容和稳压二极管，靠近 VDD/VSS；每组电源地之间，还需要接一个 100nF 的电容，方式参考下图。</p> 
VDDA/VSSA	<p>模拟电源/地引脚。VDDA 须和 VDD 外围连接，VSSA 须和 VSS 外围连接，需要接 1uF+100nF 电容，靠近 VDDA/VSSA。方式参考下图。</p> 
VREF+/VREF-	<p>AD 参考电源/地脚，使用 VREF-引脚功能时需要接地，需要接 1uF+100nF 电容，靠近 VREF+/-；方式参考下图。</p> <p>注意：</p> <ol style="list-style-type: none"> 1.使用内部参考电压模块时，VREF+/VREF-将被占用；因此，当使用外部参考电压时，请勿使能内部参考电压模块。 2.部分封装该引脚位于通用 IO 口。 
VREG	<p>1.2V 外接电容脚，必须外接 2.2uF 电容。</p> 

3 振荡器 (OSC)

3.1 概述

单片机提供 6 种基础时钟振荡器选择, 分别为内部高频 (INTHF)、内部低频 (INTLF)、外部高频 (EXTHF)、外部低频 (EXTLF)、内部的 PLL 和低功耗 4M 时钟 LP4M。内部的 PLL 可以将内部高频 (INTHF) 和外部高频 (EXTHF) 的输出时钟倍频, 提供更高频率的工作时钟选择, 作为系统和外设工作需要的基础时钟。通过寄存器配置, 可以从 6 种振荡器中得到 4 种系统和外设运行时需要的时钟源: 系统主时钟 (SCLK)、低频外设时钟 (LFCLK)、高频外设时钟 (HFCLK) 和 48MHz 时钟 (CK48M) 满足不同的需要。此外, 内部低频振荡器还可以直接用于看门狗定时器、时钟故障检测或是其他低功耗外设的时钟。

系统复位后, INTHF 振荡器被选为系统时钟, 当系统时钟需要切换时, 只有当目标时钟源准备就绪 (时钟源稳定, 延迟标志位置 1), 才会发生时钟源的切换。

振荡器模块具有以下特征:

- 提供 6 种振荡源选择
 - 内部高频振荡器 INTHF (16MHz)
 - 内部低频振荡器 INTLF (32KHz)
 - 外接高频振荡器 EXTHF (4~32MHz)
 - 外部低频振荡器 EXTLF (32.768KHz 的晶振)
 - 内部 PLL (最高 400MHz)
 - 内部低功耗振荡器 LP4M (4MHz)
- 可产生 4 种时钟源
 - 系统主时钟 SCLK
由内部高频 (INTHF)、内部低频 (INTLF)、外部高频 (EXTHF)、外部低频 (EXTLF)、PLL 倍频或内部 4M 振荡器 (LP4M) 产生。
 - 高频外设时钟 HFCLK
由内部高频 (INTHF)、外部高频 (EXTHF)、PLL 倍频或内部 4M 振荡器 (LP4M) 产生。
 - 低频外设时钟 LFCLK
由内部低频 (INTLF) 或外部低频 (EXTLF) 产生。
 - USB 时钟 CK48M
由内部高频 (INTHF)、外部高频 (EXTHF) 或 PLL 倍频产生, 实际 USB 需要使用 48MHz 时钟, 只能由 PLL 产生。
- 外部时钟启动/切换保障
- 带时钟同步功能
- 带时钟故障检测功能

3.2 振荡器结构框图

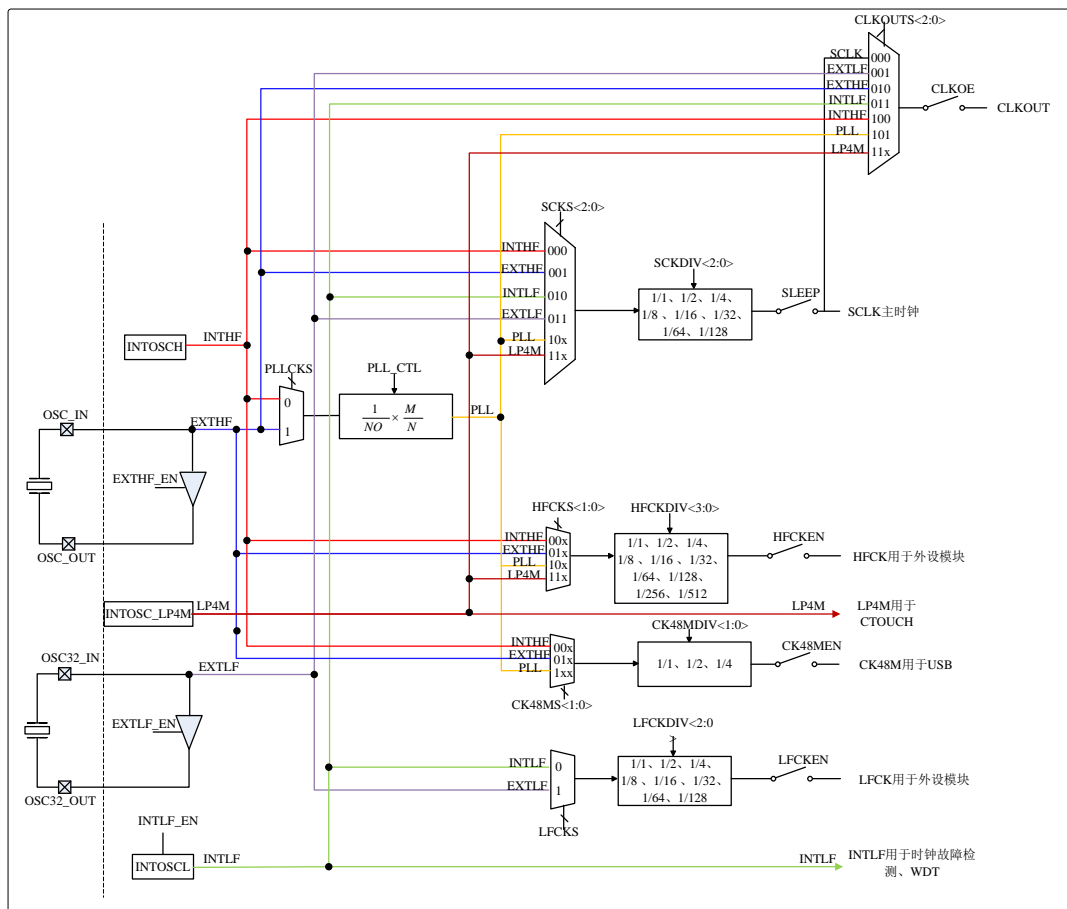


图 3-1 振荡器结构框图

注 1: 内部低频可直接用于时钟故障检测、看门狗、上电复位延迟定时器 (PWRT) 以及低功耗外设。

注 2: 当任意时钟源选择 EXTHF 作为时钟源或软件使能时 EXTHF_EN 使能。

注 3: 当任意时钟源选择 EXTLF 作为时钟源或软件使能时 EXTLF_EN 使能。

4 存储器 (memory)

4.1 概述

芯片为统一线性编址。芯片采用小端存储格式，低字节为最低有效位，高字节为最高有效位。

4.2 存储器空间映射

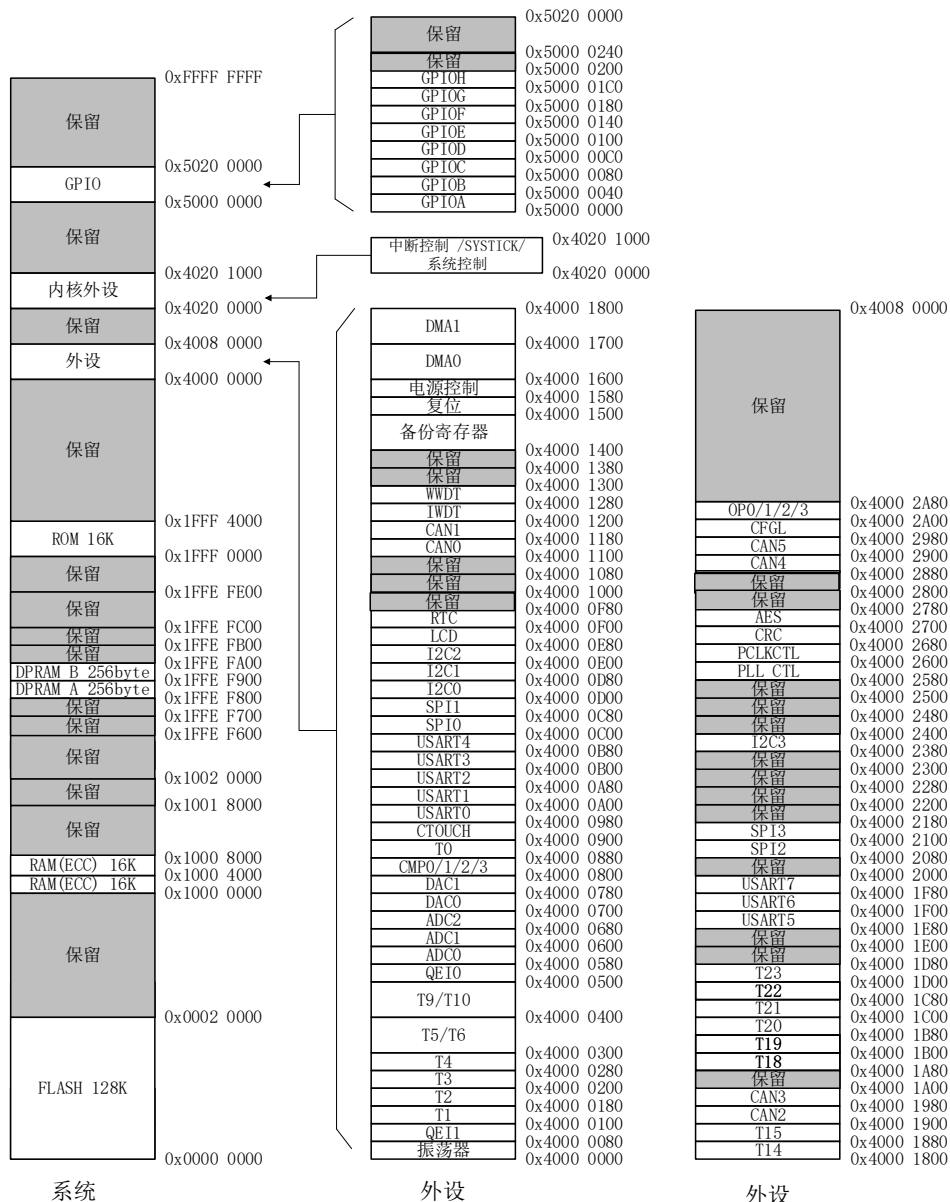


图 4-1 存储空间

注意，上图中的外设为 KF32A 系列单片机的所有外设汇总，具体订货号所带资源，请参见芯片资源章节和外设资源对照表。最左边的系统的 FLASH/RAM/ROM 地址为各型号的预

留空间。

表 4-1 存储器预留空间分配示意

地址	模块
0x0000 0000 - 0x0001 FFFF	FLASH 空间, 带 ECC 校验
0x1000 0000 - 0x1000 7FFF	单端口 SRAM 空间, 带 ECC 校验
0x1FFE F800 - 0x1FFE F9FF	双端口 SRAM 空间, 带 ECC 校验
0x1FFF 0000 - 0x1FFF 3FFF	ROM 空间
0x4000 0000 - 0x4007 FFFF	外设
0x4020 0000 - 0x4020 0FFF	内核外设
0x5000 0000 - 0x501F FFFF	GPIO

表 4-2 不同型号对应 Flash 存储器空间

FLASH 大小	有效地址	对应产品订货号
128KB	0x0000 0000 - 0x0001 FFFF	KF32A140INP/IQS/IQT

5 I/O 端口介绍

5.1 概述

单片机有不同的管脚封装：LQPF64、LQFP48 和 QFN32。

单片机最多支持 64 个引脚，包括 PA 口、PB 口、PC 口、PD 口、PE 口、PF 口、PG 口、PH 口和电源等特殊引脚。每个 Px (x=A,B,C,D,E,F,G,H) 最多有 16 个引脚。

端口特性如下：

- 数字输入
- 数字输出
 - 推挽式输出
 - 开漏输出
 - 浮空输出
- 模拟输入设置
- 独立端口上/下拉控制

注：浮空输出为部分重映射功能。

5.2 引脚重映射说明（数字功能）

引脚的数字重映射功能说明：

- 对于不同封装所开放的模块资源不同，具体参考“表 2-1 KF32A140 外设资源对照表”；
- 各模块的功能引脚开放情况，参考本章节的“引脚重映射表”，以该表实际封装出的映射为准。

表 5-1 引脚重映射表-数字功能

KF32A140			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	低功耗引脚
LQFP64	LQFP48	QFN32	GPIO	SYSTEM	T0/1/2/3/4	T5/6		T14/T15/QE10	USART0/1/2	USART4	SPI0/2	I2C0/1/2	CAN0/CAN1/FLT0/FLT1	额外提供	额外提供	CFGL	额外提供	额外提供	(非映射)
16			PH15		CCP2CH4	ECCP5CH1L		T14CK	USART2_RX			I2C0_SCL				CFGL2_IN0			
17	13		VSS																
18	14		VDD																
		9	PE15		TICK			QEA0	USART2_CLK		SPI0_SS/I2S0_WS					CFGL1_IN2			
19	15	10	PA0	CLKOUT/ROM_RX	CCP0CH1	ECCP5CH1L		T14CK	USART0_RX		I2S0_MCK	I2C0_SDA		SPI0_SCK/I2S0_CK		CFGL1_IN1			USART0_RX
20	16	11	PA1	ROM_TX	CCP0CH2	ECCP5CH1H		T15CK	USART0_TX0		SPI0_SDI	I2C0_SCL		ECCP5BKIN	CCP3CH1	CFGL1_IN0			USART0_TX0
21	17	12	PA2		CCP0CH3	ECCP5CH2L			USART0_TX1		SPI0_SDO/I2S0_SD	I2C0_SMBALT	CAN0RX	ECCP5CH1L	CCP3CH2	CFGL2_IN0			USART0_TX1
22	18	13	PA3		CCP0CH4	ECCP5CH2H		QEA0	USART0_CLK		SPI0_SS/I2S0_WS		CAN0TX			CFGL1_OUT			USART0_CLK
23	19	14	PA4		T0CK	ECCP5CH3L		QEB0			SPI0_SCK/I2S0_CK	I2C2_SDA	CAN1RX			CFGL2_OUT			
24	20	15	PA5		CCP3CH1	ECCP5CH3H		INDEX0	USART0_RTS			I2C2_SCL	CAN1TX						USART0_RTS
25	21	16	PA6		CCP3CH2	ECCP5CH4L		QE10DIR	USART0_CTS			I2C2_SMBALT		ECCP5CH2L	CCP3CH3				USART0_CTS
26	22		PA8		CCP3CH3	ECCP5CH4H			USART2_RX			I2C0_SDA			C0OUT				CCP0CH1
27	23		PA9		CCP3CH4	T5CK			USART2_TX0			I2C0_SCL	FLT11		C1OUT				CCP0CH2
28	24		PA10		T3CK	ECCP5BKIN			USART2_CLK			I2C0_SMBALT	FLT10	ECCP5CH1L	C2OUT				CCP0CH3
29			PA13		CCP4CH3	ECCP5CH2H			USART2_RTS							CFGL1_IN1			CAN0RX
30			PA14	RTC_OUT	CCP4CH4	T6CK			USART2_CTS			I2C1_SCL		ECCP5CH3L		CFGL2_IN1			CAN0TX
31	25		VREG																
32	26		PB0		CCP1CH1	ECCP5BKIN			USART1_RX			I2C1_SMBALT			USART1_CLK				
33	27		PB1	RTC_OUT	CCP1CH2	ECCP5CH1L			USART1_TX0			I2C1_SCL			USART1_CTS				
34	28	17	PB2		CCP1CH3	ECCP5CH2L			USART1_TX1			I2C1_SDA	CAN0RX		USART1_RTS				
35	29	18	PB3	RTC_OUT/ROM_EN	CCP1CH4	ECCP5CH3L			USART1_CLK			I2C0_SMBALT	CAN0TX						
36	30		PB4		TICK			T14CK				I2C0_SCL	CAN1RX	SPI0_SDO/I2S0_SD					
37	31		PB5		T0CK			T15CK	USART1_RTS		SPI0_SDI	I2C0_SDA	CAN1TX						

KF32A140			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	低功耗引脚
LQFP64	LQFP48	QFN32	GPIO	SYSTEM	T0/1/2/3/4	T5/6		T14/T15/QEI0	USART0/1/2	USART4	SPI0/2	I2C0/1/2	CAN0/CAN1/FLT0/FLT1	额外提供	额外提供	CFGL	额外提供	额外提供	(非映射)
38	32	19	PB9	CLKOUT	CCP0CH2	ECCP5BKIN			USART0_CLK		SPI0_SCK/I2S0_CK				USART0_TX0				
		20	PB10		CCP0CH1				USART0_RX										
39		21	PB11		CCP3CH1	ECCP5CH1H		T14CK	USART0_RTS		SPI2_SCK/I2S2_CK								
40		22	PB12		CCP3CH2	ECCP5CH2H		T15CK	USART0_CTS		SPI2_SDI			I2C1_SCL					
41		23	PB13		CCP3CH3	ECCP5CH3H					SPI2_SDO/I2S2_SD			I2C1_SDA					
		24	VREG																
42	33		PB14		CCP3CH4	ECCP5CH1L		QEA0	USART2_TX0				FLT11	ECCP5CH4H	I2C2_SDA				
43	34		PB15		T4CK	ECCP5CH1H		QEB0	USART2_RX	USART4_CLK		I2C2_SDA	FLT10	ECCP5CH1H	I2C2_SCL	CFGL1_IN3			
44	35		PF0		CCP1CH1	ECCP5CH2L			USART2_CLK	USART4_TX0		I2C2_SCL		ECCP5CH2H	I2C2_SMBALT	CFGL2_IN3			
45	36		PF1		CCP1CH2	ECCP5CH2H			USART2_TX1	USART4_RTS				ECCP5CH3H	USART4_RX				
46			PF2		CCP1CH3	ECCP5CH3L				USART4_CTS				ECCP5CH4H					
47			PF3		CCP1CH4	ECCP5CH3H			USART2_RTS	USART4_TX1	I2S2_MCK			ECCP5BKIN	USART4_RTS				
48			PF4		CCP0CH4	ECCP5CH4L			USART2_CTS	USART4_CLK									
49	37		PG3		CCP2CH3				USART0_TX1						USART0_RX				
50	38		PG4		CCP2CH4														
51			PC1		CCP2CH2	ECCP5CH3H		T15CK	USART2_TX0		SPI0_SDI	I2C2_SDA		T3CK					
52			PC2		CCP2CH3	ECCP5CH4L			USART2_TX1	USART4_TX0	SPI0_SDO/I2S0_SD	I2C2_SCL			USART2_CTS				
53	39	25	PC5	DPI_DAT	CCP4CH1	ECCP5CH1L		INDEX0	USART2_RTS		SPI2_SS/I2S2_WS	I2C1_SCL	CAN0RX	T3CK	USART2_RX				
54	40	26	PC6	DPI_CLK	CCP4CH2	ECCP5CH1H		QEIODIR	USART2_CTS		SPI2_SCK/I2S2_CK	I2C1_SMBALT	CAN0TX		USART2_CLK				
55	41	27	PC7		CCP4CH3	ECCP5CH2L			USART1_RX		SPI2_SCK/I2S2_CK			I2S2_MCK					
56	42	28	PC8		CCP4CH4	ECCP5CH2H			USART1_TX0		SPI2_SDI			CCP3CH1					
57	43	29	PG6		CCP4CH3						SPI2_SDO/I2S2_SD	I2C0_SMBALT		CCP3CH2					
58	44	30	PG7		CCP1CH2					USART4_TX0		I2C0_SCL							
59	45	31	PC9		CCP1CH1				USART1_TX1	USART4_RX	SPI2_SCK/I2S2_CK	I2C2_SCL		I2C0_SDA					
		32	PC13		T1CK				USART1_CTS				FLT10			CFGL2_OUT			
60	46		PC10		CCP1CH2				USART1_CLK		SPI2_SDI	I2C2_SDA	FLT11		USART1_RX				
61	47		PC11		CCP1CH3				USART1_TX0		SPI2_SDO/I2S2_SD	I2C0_SCL		CCP4CH1					
62	48		PC12		CCP1CH4				USART1_RTS			I2C0_SDA		CCP2CH1		CFGL1_OUT			
63			VSS																

KF32A140			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	低功耗引脚
LQFP64	LQFP48	QFN32	GPIO	SYSTEM	T0/1/2/3/4	T5/6		T14/T15/QEI0	USART0/1/2	USART4	SPI0/2	I2C0/1/2	CAN0/CAN1/FLT0/FLT1	额外提供	额外提供	CFGL	额外提供	额外提供	(非映射)
64			VDD																
1			PD6		CCP3CH2														
2			PD7		CCP2CH1				USART0_RX		SPI0_SDO/I2S0_SD								
3	1		PH8																
4	2		PH9																
5	3		PD9		CCP2CH3				USART0_TX1		SPI0_SCK/I2S0_CK								
6	4		PD10		CCP2CH4				USART0_CLK										
7	5	1	PH7/nRST																
		2	PD11		CCP1CH1								FLTIO						
		3	PD12		CCP1CH2				USART0_RTS				FLTII						
8	6		PH5		T0CK														
9	7		PH6																
10	8	4	PD13		CCP1CH3				USART0_CTS				CANIRX						
11	9	5	PD14		CCP1CH4	ECCP5CH4L							CANITX						
		6	PD15		CCP0CH3	ECCP5CH4H										CFGL2_IN1			
12	10	7	VSS/VSSA																
13	11	8	VDD/VDDA																
14			PH14		T2CK	T5CK			USART2_CTS						USART0_TX0				
15	12		PH12		CCP2CH2	ECCP5CH3L			USART2_RTS			I2C1_SCL			USART0_RX				

5.3 引脚重映射说明（系统以及模拟功能）

表 5-2 系统以及模拟引脚说明

KF32A140								
LQFP64	LQFP48	QFN32	GPIO	电源	振荡器	SYSTEM	ADC ^[1]	CMP
16			PH15				ADC_CH35	
17	13		VSS	VSS				
18	14		VDD	VDD				
19	15	10	PA0				ADC_CH37	COIN+/C1IN+
20	16	11	PA1			RTC_TS	ADC_CH38	COIN-/C1IN-
21	17	12	PA2				ADC_CH39	
22	18	13	PA3				ADC_CH40	
23	19	14	PA4					
24	20	15	PA5				ADC_CH41	
25	21	16	PA6				ADC_CH42	
26	22		PA8					
27	23		PA9					COIN+/C1IN+
28	24		PA10					COIN-/C1IN-
29			PA13					
30			PA14					
31	25		VREG	VREG				
32	26		PB0					
33	27		PB1					
34	28	17	PB2					COIN+/C1IN+
35	29	18	PB3					COIN-/C1IN-
36	30		PB4					
37	31		PB5					
38	32	19	PB9					COIN+
		20	PB10					COIN-
39		21	PB11					C1IN+
40		22	PB12					C1IN-
41		23	PB13					
		24	VREG	VREG				
42	33		PB14					
43	34		PB15					
44	35		PF0					
45	36		PF1					
46			PF2					
47			PF3					
48			PF4					
49	37		PG3				ADC_CH21	
50	38		PG4				ADC_CH22	
51			PC1			TAMP2	ADC_CH1	
52			PC2				ADC_CH2	
53	39	25	PC5			DPI_DAT/TAMP1	ADC_CH5	
54	40	26	PC6			DPI_CLK/WKUP1	ADC_CH6	
55	41	27	PC7			WKUP4	ADC_CH7	
56	42	28	PC8			WKUP5	ADC_CH8	
57	43	29	PG6					
58	44	30	PG7					C1IN+
59	45	31	PC9				ADC_CH9	C1IN-
		32	PC13				ADC_CH13	
60	46		PC10				ADC_CH10	

KF32A140								
LQFP64	LQFP48	QFN32	GPIO	电源	振荡器	SYSTEM	ADC ^[1]	CMP
61	47		PC11				ADC_CH11	COIN+
62	48		PC12				ADC_CH12	COIN-
63			VSS	VSS				
64			VDD	VDD				
1			PD6			TAMP3		
2			PD7				ADC_CH24	
3	1		PH8		OSC32_IN			
4	2		PH9		OSC32_OUT			
5	3		PD9		OSC_IN		ADC_CH26	
6	4		PD10		OSC_OUT		ADC_CH27	
7	5	1	PH7/nRST			NRST		
		2	PD11		OSC32_IN			
		3	PD12		OSC32_OUT			
8	6		PH5				ADC_CH44	
9	7		PH6				ADC_CH45	
10	8	4	PD13				ADC_CH30	
11	9	5	PD14		OSC_IN		ADC_CH31	
		6	PD15		OSC_OUT			
12	10	7	VSS/VSSA	VSS/VSSA				
13	11	8	VDD/VDDA					
		9	PE15				ADC_CH36	
14			PH14			WKUP2	ADC_CH32	
15	12		PH12				ADC_CH33	

^[1] ADC 参考引脚复用信息

64 脚芯片的 VREF+与 PC8 引脚复用, VREF-无复用, 在内部直接与地 (VSSA) 引脚相连;
 48 脚芯片的 VREF+与 PC8 引脚复用, VREF-无复用, 在内部直接与地 (VSSA) 引脚相连;
 32 脚芯片的 VREF+与 PC8 引脚复用, VREF-无复用, 在内部直接与地 (VSSA) 引脚相连。

5.4 引脚重映射表-低功耗外设功能重映射

表 5-3 低功耗外设重映射

引脚	低功耗功能
PA0	USART0_RX
PA1	USART0_TX0
PA2	USART0_TX1
PA3	USART0_CLK
PA5	USART0_RTS
PA6	USART0_CTS
PA8	CCP0CH1
PA9	CCP0CH2
PA10	CCP0CH3
PA13	CAN0RX
PA14	CAN0TX

USART0、CCP0 和 CAN0 支持低功耗模式下工作，但是在低功耗模式下只能使用上表中的 IO 口。

注意，低功耗 I/O 口的配置寄存器 PM_CTL0 和 PM_CTL2 位于备份域中，操作寄存器之前，需要先解锁备份域的读写操作：

1. 将 OSC_CTL0 寄存器的 PMWREN 位置 1，允许备份域的读写操作；
2. 将系统时钟设置在 48MHz 以下；
3. 配置 PM_CTL2 寄存器的 USART0LPEN 位（或 CCP0LPEN 位、CAN0LPEN 位），使低功耗外设处于 Stop1 模式下保持工作状态，不会被复位；同时将低功耗 I/O 口分配给上表中对应的外设功能；注意，使用 USART0 时，需要同时将 PM_CTL0 寄存器的 PHERII0SEL 位置 1；
4. 配置 PM_CTL2 寄存器的 USART0CLKLPEN 位（或 CCPCLKLPEN 位、CAN0CLKLPEN 位），选择内部低频振荡器作为外设的工作时钟源，同时允许时钟信号在 Stop1 模式下继续工作。

5.5 引脚重映射表-外部唤醒引脚、侵入检测和时间戳引脚映射

表 5-4 模拟功能引脚映射

GPIO	唤醒引脚	侵入检测引脚	时间戳
PA1			RTC_TS
PC1		TAMP2	
PC5		TAMP1	
PC6	WKUP1		
PC7	WKUP4		
PC8	WKUP5		
PD6		TAMP3	
PH14	WKUP2		

5.6 CCP 引脚资源

因有些型号的小管脚封装可能会缺一些功能脚，现将所有 CCP 资源列在下表中：

表 5-5 CCPx 通道

	LQFP64	LQFP48	QFN32
CCP0CH1	Y	Y	Y
CCP0CH2	Y	Y	Y
CCP0CH3	Y	Y	Y
CCP0CH4	Y	Y	Y
CCP1CH1	Y	Y	Y
CCP1CH2	Y	Y	Y
CCP1CH3	Y	Y	Y
CCP1CH4	Y	Y	Y
CCP2CH1	Y	Y	N
CCP2CH2	Y	Y	N
CCP2CH3	Y	Y	N
CCP2CH4	Y	Y	N
CCP3CH1	Y	Y	Y
CCP3CH2	Y	Y	Y
CCP3CH3	Y	Y	Y
CCP3CH4	Y	Y	N
CCP4CH1	Y	Y	Y
CCP4CH2	Y	Y	Y
CCP4CH3	Y	Y	Y
CCP4CH4	Y	Y	Y

6 资源介绍

6.1 DMA

直接存储器访问模块(DMA)用于外设和存储器间直接数据传输,可用于 RAM 和 RAM 之间、RAM 和外设、外设和外设之间的数据传输。DMA 模块将从源地址上读取的数据写入到目标地址空间中,从而完成数据传输,而无需 CPU 的干预。

每个 DMA 模块有如下特性:

- 7 个独立可配置的通道
- 支持存储器和存储器、存储器和外设、外设和外设之间的数据传输
- 支持 8bit/16bit/32bit 数据位宽传输
- 支持自动递增的源和目标地址,支持固定的源和目标地址
- 支持循环模式
- 支持传输数据数量设置,最大为 65535
- 支持 4 级通道优先级设置
- 支持外设触发,支持软件触发
- 追踪当前的源指针和目标指针
- 追踪当前未传输的数据量

6.2 节拍定时器 (SYSTICK)

KungFu32 内核提供了一个 24 位的系统节拍定时器 (System Tick Timer)。系统节拍定时器可为系统提供可编程时长的周期性中断,即使是在休眠下也能工作(注:深度休眠下不能工作)。系统节拍定时器有专用的中断向量。

系统节拍定时器结构如下图所示。系统节拍定时器为递减计数模式,当系统节拍定时器的值为 0 时会产生一个中断,同时系统节拍定时器重载值寄存器 (ST_RELOAD) 的值会装入系统节拍定时器中。对系统节拍定时器重载值寄存器 (ST_RELOAD) 进行设置可以修改产生中断的间隔时长。在使用节拍定时器时,使能前要先向 ST_CV 系统节拍定时器当前值寄存器写任意值,使 COUNTZERO 位及 ST_CV 清零,保证 ST_RELOAD 的值加载到 ST_CV 中。

向 ST_RELOAD 写 0 会使计数器在下一个计数周期禁止。

通过使能 INT_EIE0 寄存器的 SYSTICKIE 位可以使能系统节拍定时器中断,当定时器由 1 变 0 时可以将 INT_EIF0 中的 SYSTICKIF 标志位置 1。

6.3 基本定时/计数器(T14/T15)

T_x(x=14,15)是一个 16 位的定时/计数器,它有定时和计数两种工作模式,支持 3 种计数方式:向上计数、向下计数和向上向下计数方式。根据不同的模式,计数会产生溢出,将 T_x 溢出中断标志 TXIF 位置 1。

基本定时器主要功能包括:

- 16 位自动重载计数器
- 16 位可编程预分频器,用于对输入的时钟按系数为 1~65536 之间任意数值分频
- 在更新事件以及触发事件时产生 DMA 请求
- 基本定时器可以用于触发 AD 和 DA 模块

6.4 通用定时/计数器(T0/1/2/3/4)

$T_x(x=0,1,2,3,4)$ 是 16 位的定时/计数器,其中 T0 可作为低功耗定时器使用。

通用定时/计数器有定时和计数 2 种工作模式,支持 3 种计数方式:向上计数、向下计数和向上向下计数方式。根据不同的模式,计数会产生溢出,将 T_x 中断标志位 $TXIF$ 置 1。 T_x 属于外部单元,因此在使用 T_x 中断时,需使能对应的外设中断。

通用定时/计数器主要功能包括:

- 16 位自动重载计数器
- 16 位可编程预分频器,用于对输入的时钟按系数为 1~65536 之间任意数值分频
- 通用定时器可以用于触发 AD 和 DA 模块
- 更新事件、触发事件(触发模式、门控模式、复位模式)、捕捉事件、比较事件可以产生 DMA 请求

6.5 高级定时/计数器 (T5/T6)

ECCPx 模块各包含两个计数器 $T_x/T_z(x=5; T_x$ 和 T_z 原理相同),他们是 16 位的定时器,有 3 种计数方式:向上计数、向下计数和向上向下计数方式,可精确配置 1-65535 自由分频进行计数。支持触发其它定时器、AD 及 DMA 等外设。

高级定时/计数器主要功能包括:

- 16 位位自动重载计数器
- 16 位的可编程预分频器(分频器 1)和 4 位的可编程后分频器(分频器 2)
- 高级定时器可用于触发 AD、DA 等模块
- 支持周期更新和立即更新
- 支持比较器清零定时器功能
- 支持主从模式(触发、门控、复位)
- 可以用来产生 DMA 请求(更新、TRGI 触发、捕捉/比较、关断事件)

6.6 通用捕捉/比较/PWM 模块 (CCP0/1/2/3/4)

CCP 模块是通用型捕捉/比较/脉宽调制模块,在通用 CCP 模块中,采用通用定时/计数器做为该 CCP 的计数时基,可以用来实现捕捉功能、比较功能和 PWM 功能。

在 CCP0/1/2/3/4 模块中比较寄存器为 16 位的寄存器 $CCP_x_Ry(x=0,1,2,3,4; y=1,2,3,4)$,该寄存器也用于 PWM 模式下的占空比设置;在 CCP0/1/2/3/4 模块中捕捉寄存器为 16 位的寄存器 $CCP_x_Cy(x=0,1,2,3,4; y=1,2,3,4)$,该寄存器为只读。

通用 CCP 主要功能包括:

- 16 位的捕捉功能
- 16 位的比较功能
- 16 位的 PWM 功能
- 支持 PWM 测量功能
- 4 个独立的通道
- PWM 支持边沿对其和中心对齐
- 支持单脉冲输出
- 更新事件、触发事件(触发模式、门控模式、复位模式)、捕捉事件、比较事件可以产生 DMA 请求

6.7 增强型捕捉/比较/PWM 模块(ECCP5)

ECCPx (x=5) 模块是增强型捕捉/比较/脉宽调制模块, 可以提供外部信号捕捉、内部比较输出以及 PWM 输出三种功能。在 ECCP 模块中, 采用 16 位的定时器/计数器(ECCP5 为 T5 和 T6)做为该 ECCP 的计数时基, 在 ECCP5 模块中捕捉寄存器为 16 位的寄存器 ECCPx_Cy (x=5;y=1,2,3,4), 比较寄存器为 16 位的寄存器 ECCPx_Ry (x=5;y=1,2,3,4), 该寄存器也用于 PWM 模式下的占空比设置。支持部分寄存器的数据更新功能。支持各个通道独立的关断操作。

如下事件发生时产生 DMA:

- 输入捕获
- 输出比较
- 关断事件
- 更新事件

6.8 正交编码脉冲电路 (QEIO)

单片机内部集成有正交编码脉冲电路。正交编码脉冲电路可用于获得旋转机械的位置和速率等信息。

正交编码脉冲是两个频率变化且正交的脉冲。当它由电机轴上的光电编码器产生时(光电编码器具有 3 路输出: A 相、B 相和索引脉冲), 电机的旋转方向可以通过检测两个脉冲序列(QEA 和 QEB)中先到达的列来确定, 角位置和转速可由脉冲数和脉冲频率(即齿脉冲和圈脉冲)来决定。电机的绝对位置以索引脉冲为基准确定。

QEIO 由用于解析 A 相(QEA)和 B 相(QEB)信号的解码器逻辑以及用于累计计数值的递增/递减计数器组成。输入端上的数字噪声滤波器对输入信号进行滤波。

QEIO 的计数时基为定时器 T7。

QEIO 的工作特性包括:

- 3 路输入通道, 分别为两相信号和索引脉冲输入
- 输入端上的可编程数字噪声滤波器
- 16 位递增/递减位置计数器
- 计数方向状态
- x2 和 x4 计数分辨率
- 两种位置计数器复位模式:
 - 使用周期复位位置计数器
 - 使用索引脉冲复位位置计数器
- 通用 16 位定时器/计数器模式
- 正交编码器接口中断

6.9 模数转换模块 (A/D)

ADC 特性:

- 12 位分辨率
- 16 常规扫描通道+4 个高优先级通道
- 支持常规模式和高优先级模式
- 支持单次转换模式和连续转换模式
- 最高 20 个通道连续转换模式
- 数据左对齐或右对齐

- ADC 支持 DMA 触发
- 支持模拟看门狗事件
- 支持定时器触发 ADC
- 双 AD 模式
- ADC 转换时间：14 个周期
- AD 电压：2.4V 到 3.6V 或者 VREF+
- ADC 输入范围 VREF- 到 VREF+

注：64 脚的 VREF+与 PC8 引脚复用，VREF-无复用，在内部直接与地（VSSA）引脚相连；
48 脚的 VREF+与 PC8 引脚复用，VREF-无复用，在内部直接与地（VSSA）引脚相连；
32 脚的 VREF+与 PC8 引脚复用，VREF-无复用，在内部直接与地（VSSA）引脚相连。

6.10 模拟比较器模块（CMP）

单片机内置 2 个模拟比较器模块，其主要特点如下：

- 正负端多输入端口可选
- 电阻分压模块提供可选内部参考电压
- 输出极性可选
- 中断边沿可选
- 数字滤波功能
- 比较器输出可作为定时器捕捉输入、PWM 关断源或用于清零定时器
- 可配置为 BEMF（反向电动势）模式和 HALL（霍尔检测）模式

6.11 通用全/半双工收发器（USART）

USART 是 Universal Synchronous /Asynchronous Receive & Transmit 的缩写，它的中文名称是通用同步/异步收发器，又称通用全双工/半双工收发器。这是一个串口通信的 I/O 外设，也可作为串行通信接口。它可被配置为与个人计算机等外设通信的全双工异步系统。也可以被配置为与外设或其它单片机通信的半双工同步系统，与之通信的单片机通常不具有产生波特率的内部时钟，它需要主控同步器件提供外部时钟信号。

6.12 串行外设接口（SPI）

SPI 模块可配置为支持 SPI 协议或者 I2S 协议。SPI 模块默认工作在 SPI 方式，可通过软件将其切换到 I2S 模式。在 I2S 模式下，原则上数据传输为全双工模式，主机和从机同时收发数据，但实际情况下通常只有一个方向上的数据是有意义的。

SPI 模式主要特征：

- 3 线或者 4 线数据传输
- 8/16/32 位传输帧格式
- MSB/LSB 先发送可选
- 主从模式
- 时钟频率可设
- 可编程的时钟极性和相位
- 可触发中断的发送和接收标志
- DMA 读写

I2S 主要特征：

- 单工通信

- 主从模式
- 数据长度可为 16/32 位
- 8 位线性可编程预分频器（音频采样频率 8KHz 到 96KHz）
- 可编程时钟极性
- 支持多种 I2S 协议：
 - I2S 飞利浦标准
 - LSB 对齐标准（右对齐）
 - MSB 对齐标准（左对齐）
 - PCM 标准
- DMA 读写
- 可输出的主时钟，频率为 $256 \times F_s$ （ F_s 为音频采样频率）

6.13 内部集成电路接口（I2C）

I2C 特征：

- 多主机模式：可用作主设备或者从设备
- I2C 主设备产生时钟，起始和停止信号
- 检测 7 位和 10 位地址
- 支持 Fast Mode Plus 模式，最高速度可达 1Mbit/s
- 支持多地址识别
- 在监控模式下可观察所有的 I2C 总线通信量
- DMA 读写

I2C 模块能实现全部从动功能，且硬件支持启动位和停止位中断，以便于固件实现主控功能。I2C 模块实现标准模式规范以及 7 位和 10 位寻址。有两个引脚用于数据传输：时钟线（SCL）和数据线（SDA）。通过使能位 I2CEN 置 1 以使能 I2C 模块的功能。

6.14 实时时钟（RTC）

实时时钟 (Real Time Counting, RTC) 单元提供给用户实时时间以及日历信息。RTC 单元通过时间寄存器提供时间信息 (秒、分、时、星期、日、月、年)。数据信息由 BCD 码格式进行表示。修改计数器的值可以重新设置系统当前的时间和日期。

RTC 模块可以根据年、月份（闰年、大小月），自动补偿天数；还可以进行夏令时、冬令时补偿。

RTC 的时钟源可以通过软件选择外部低频晶振 EXTLF、内部低频时钟 INTLF 和外部高频晶振的 128 分频。RTC 模块自带高精度的数字时钟校准功能。

RTC 提供两个可编程的闹钟功能及中断，用户可预先在时间闹钟寄存器中设置闹钟日期进行闹铃设置。

RTC 模块位于备份域内，因此所有对 RTC 模块的操作都将受到备份域保护，操作 RTC 寄存器之前需要允许备份域可写；使能 RTC 模块之后，只要电源电压保持在工作范围内，RTC 将可正常工作在任何运行模式和休眠模式。

6.15 控制器局域网总线（CAN）

控制器局域网 (Controller Area Network, 简称为 CAN) 是一种用于连接电子控制设备 (Electronic Control Unit, 简称为 ECU) 的多主共享型串行总线标准。CAN 总线针对抗电磁干扰进行了专门设计，适用于具有较强电磁干扰的环境，不但可以使用与 RS-485 类似的差

分平衡传输线，也可以使用更加可靠的双绞线。CAN 总线最初是针对汽车应用而研发的，不过时至今日已经广泛应用于各种嵌入式控制领域（例如工业方面和医疗方面）。CAN 总线在总线长度小于 40 米时最高可达 1Mbps 位速率。位速率越低则有效通讯距离越远（例如 125kbps 时通讯距离可达 500 米）。

CAN 有如下特性：

- 支持CAN2.0B协议
- 同时支持11位和29位识别码
- 位速率可达1Mbits/s
- 可读/写访问的错误计数器
- 可编程的错误报警限制
- 最近一次错误代码寄存器
- 对每一个CAN总线错误的中断
- 具体控制位控制的仲裁丢失中断
- 在标准和扩展格式中都有验收滤波器含屏蔽和代码寄存器
- 当错误或仲裁丢失时可配置是否重发

6.16 独立看门狗（IWDG）

看门狗可用于检测 and 解决由软件错误引起的故障，当计数器达到给定的超时值时产生一个系统复位。

IWDG最适合那些要求看门狗在主程序外，能够完全独立工作的场合。

特点：

- 自由递增的计数器
- 时钟为内部低频时钟INTLF
- 可编程预分频
- 避免复位：溢出前清零看门狗计数器（喂狗）

6.17 窗口看门狗（WWDT）

窗口看门狗通常被用来监测由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。

WWDT最适合那些要求看门狗在精确计时窗口起作用的应用程序。通过可配置的时间窗口来检测应用程序非正常的过迟或过早的操作。

特点：

- 可编程自由运行计数
- 时钟为内部低频时钟INTLF
- 可编程预分频
- 提供中断
- 避免复位（喂狗）：窗口内写计数器或利用中断写计数器

6.18 CFGL 模块（CFGL）

可配置逻辑单元（CFGLx）提供可超越软件执行速度限制而工作的可编程逻辑。该逻辑单元最多可接收16个输入信号，并通过使用可配置门将16个输入缩减为4条驱动8种可选单输出逻辑功能之一的逻辑线。

输入源是以下信号源的组合：

- I/O引脚
- 内部时钟
- 外设
- 寄存器位

可能的配置包括：

- 组合逻辑
 - AND
 - NAND
 - AND-OR
 - AND-OR-INVERT
 - OR-XOR
 - OR-XNOR
- 锁存器
 - S-R
 - 带置1 和复位功能的时钟控制D型锁存器
 - 带置1 和复位功能的透明D型锁存器
 - 带复位功能的时钟控制J-K型锁存器

6.19 复位 (RESET)

系统复位源：

- POR 上电复位
- BOR 复位
- NRST 外部复位引脚复位
- 窗口看门狗复位
- 独立看门狗复位
- 软件复位

单片机具有：POR 上电复位、BOR 复位、NRST 复位、IWDT 复位、WWDT 复位、软件复位六种复位方式。

除复位方式以外，单片机还提供一个可编程的电压检测模块 (PVD)，对供电电源 VDD 的电压进行检测。

有些寄存器的状态在任何复位条件下都不会受到影响，其它大多数寄存器在复位事件发生时将被复位成“复位状态”。

6.20 外设模块时钟使能模块(CLK_EN)

为了降低功耗，默认外设时钟就禁止。在使用外设模块时，需要使能该外设模块时钟控制信号，否则模块不工作。通过 PCLK_CTLx (x=0,1,2,3) 外设时钟控制寄存器控制相应的外设时钟。当外设时钟禁止时，CPU 无法对相应的模块寄存器进行写操作。

6.21 备份域 (BKP)

备份域中的 32 个 32 位带有侵入检测功能的备份寄存器，可用于保存数据；寄存器组在 VDD 电源被切断时，仍然可以通过 VBAT 维持供电（如果芯片未带 VBAT，则忽略）。备份域内寄存器只会在初始上电复位时被复位，不会因为 VDD 掉电上电而复位。

6.22 循环冗余校验单元（CRC）

循环冗余校验单元（Cyclic Redundancy Check, CRC）可以通过生成多项式计算不同长度数据的 CRC 校验值。CRC 技术可应用于核实数据传输或者数据存储的正确性和完整性。

CRC 特性：

- 可编程的多项式，最高支持 33 项数的生成多项式
- 单周期计算时间
- 支持可编程的初始值
- 支持 8/16/32 位长度的输入数据格式
- 输入数据支持字节反序操作
- 计算结果支持可编程的异或操作
- 计算结果支持反序操作

7 电气特性

7.1 概述

除非另外说明，所有电压都是相对 V_{SS} 做参考的。

7.1.1 最大值和最小值说明

除非另外声明，在测试过程中，所有产品参数都会经过 $T_A = 25^\circ\text{C}$ 的环境温度测试。产品能够保证满足所规定的运行电压范围和运行频率范围。

基于描述性的特性，设计值和工艺特性等数据会隐含在表格中的脚注中。它们不会在量产中测试。

7.1.2 典型值

除非另外声明，典型数据（典型值）来源于环境温度 T_A 为 25°C ， $V_{DD} = 3.3\text{V}$ 的条件。它只作为设计参考，并不一定经过测试。

7.2 最大承受范围

超过下表中的最大承受范围会对器件造成不可恢复的损坏。这些只是可加的最大条件，并不保证产品在这个范围内都能稳定工作。长期工作在这个范围的最大值条件下，产品的可靠性会受到影响。器件的应用条件符合 JEDEC JESD47 的规格标准。

表 7-1 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{DDX} - V_{SS}$	外部主要电源电压（包括 V_{DD} ， V_{DDA} ）	-0.3	4.0	V
$V_{DD12} - V_{SS}$	内部稳压器输出	-0.3	1.32	V
$V_{IN}^{(2)}$	输入范围	$V_{SS}-0.3$	4.0	V
$ \Delta V_{DDX} $	V_{DDX} 电源域之间的压差	-	50	mV
$ \Delta V_{SSX} $	不同地电源域之间的压差 ⁽³⁾	-	50	mV
$V_{REF+} - V_{DDA}$	可允许的 V_{REF+} 大于 V_{DDA} 的电压量	-	0.4	V

注 1：所有主电源（ V_{DD} ， V_{DDA} ）和地（ V_{SS} ， V_{SSA} ）必须连接到外部电源上，并且不能超过以上的规定范围。

注 2：如果要满足最大的注入电流特性的话， V_{IN} 必须被关注。

注 3：包括 V_{REF} -脚。

表 7-2 电流特性

符号	描述	最大值	单位
ΣI_{VDD}	整个 V_{DD} 电源域可以提供的电流总和 ⁽¹⁾	150	mA
ΣI_{VSS}	整个 V_{SS} 电源域可以泄放的电流总和 ⁽¹⁾	150	
$I_{VDD(PIN)}$	每个 V_{DD} 脚可以提供的最大的电流 ⁽¹⁾	100	
$I_{VSS(PIN)}$	每个地管脚可以泄放的最大电流 ⁽¹⁾	100	
$I_{IO(PIN)}$	每个 IO 可以泄放的最大电流量	20	
	每个 IO 可以提供的最大电流量	20	
$\Sigma I_{IO(PIN)}$	所有 IO 可以泄放的电流总量 ⁽²⁾	100	
	所有 IO 可以提供的电流总量 ⁽²⁾	100	
$I_{INJ(PIN)}$	每个 IO 口通过外部注入的电流	- 5/0 ⁽³⁾	
$\Sigma I_{IO(PIN)} $	所有 IO 口可以通过外部注入的电流总和 ⁽⁴⁾	± 25	

注 1: 所有主电源 (V_{DD} , V_{DDA}) 和地 (V_{SS} , V_{SSA}) 都必须连接到外部电源上, 并且符合允许的电源输入范围。

注 2: 所有 IO 脚上的电流必须合理分配。

注 3: 当 $V_{IN} < V_{SS}$ 时, 会有负电流注入。但是不能超过 $I_{INJ(PIN)}$ 这个值。

注 4: 当同时有几个 IO 都有电流注入贡献时, $\Sigma |I_{IO(PIN)}|$ 是允许它们泄露电流总和的最大值。

表 7-3 温度特性

符号	描述	最大值	单位
T_{STG}	存储温度范围	-65 ~ +150	°C
T_J	最大结温	150	°C

7.3 运行条件

7.3.1 常规运行条件

表 7-4 常规运行条件

符号	参数	条件	最小值	最大值	单位
f _{SCLK}	core 频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	MHz
f _{SYSTICK}	节拍定时器工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{DMA}	DMA 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{TIMER}	基本/通用/高级定时器工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{QEI}	QEI 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{CFGL}	CFGL 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{I2C}	I2C 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{SPI}	SPI 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{USART}	USART 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{CRC}	CRC 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{CAN}	CAN 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	48	
f _{BKP}	BKP 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	16	
f _{RTC}	RTC 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	32	
f _{WDT}	IWDT/WWDT 工作频率	V _{DD} = 2.0V~3.6V;T _A = -40~+125°C	0	32	
V _{DD}	标准运行电压	T _A = -40~+125°C	2.0 ⁽¹⁾	3.6	V
V _{DD12}	内核运行电压	全频率范围	1.30	1.34	V
V _{DDA}	模拟电源电压	使用 ADC 时	2.4	3.6	V
		使用 DAC 时	2.4		
		使用 VREFBUF 时	2.4		
		ADC, DAC, COMP, VREFBUF 不使用时	2.0		
V _{IN}	IO 输入范围	所有 IO 口	-0.3	V _{DD} +0.3	V
T _A	环境温度范围	最大功耗下	-40	125	°C
		最低功耗下	-40	125	°C

注 1: 当 RESET 功能不起作用时, 可以保证产品在 V_{DD} 电压达到最小值以上时运行正确。

7.3.2 上电/掉电的运行条件

这个表格中的参数是在 表 7-4 的条件下测试得出的。

表 7-5 上电/掉电的运行条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	VDD 上升速率	-	0	∞	us/V
	VDD 下降速率		10	∞	
t _{VDDA}	VDDA 上升速率	-	0	∞	us/V
	VDDA 下降速率		10	∞	

7.3.3 复位和电源控制模块特性 BOR,PVD

这个表格中的参数是在表 7-4 的条件下测试得出的。

表 7-6 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
t _{RST_POR}	在检测到 POR 后, 复位退出的延迟时间	V _{DD} 上升	-	3.8	-	ms
V _{POR} ⁽¹⁾	上电复位阈值	上升沿	1.61	1.66	1.7	V
		下降沿	1.58	1.64	1.69	
V _{BOR1}	BOR1 复位阈值	上升沿	1.76	1.79	1.83	V
		下降沿	1.67	1.73	1.78	
V _{BOR2}	BOR2 复位阈值	上升沿	1.89	1.97	2.03	V
		下降沿	1.85	1.90	1.96	
V _{BOR3}	BOR3 复位阈值	上升沿	2.19	2.25	2.33	V
		下降沿	2.02	2.13	2.21	
V _{BOR4}	BOR4 复位阈值	上升沿	2.43	2.49	2.53	V
		下降沿	2.35	2.38	2.45	
V _{PVD0}	可编程电压检测阈值 0	上升沿	1.88	1.93	1.98	V
		下降沿	1.66	1.72	1.80	
V _{PVD1}	可编程电压检测阈值 1	上升沿	2.02	2.06	2.11	V
		下降沿	1.76	1.84	1.93	
V _{PVD2}	可编程电压检测阈值 2	上升沿	2.15	2.20	2.25	V
		下降沿	1.87	1.96	2.06	
V _{PVD3}	可编程电压检测阈值 3	上升沿	2.29	2.34	2.40	V
		下降沿	1.19	2.09	2.19	
V _{PVD4}	可编程电压检测阈值 4	上升沿	2.43	2.48	2.54	V
		下降沿	2.11	2.21	2.32	
V _{PVD5}	可编程电压检测阈值 5	上升沿	2.56	2.61	2.68	V
		下降沿	2.23	2.33	2.45	
V _{PVD6}	可编程电压检测阈值 6	上升沿	2.65	2.71	2.77	V
		下降沿	2.30	2.41	2.53	
V _{hyst_POR}	POR 的迟滞电压	-	-	20	-	mV
V _{hyst_BOR}	BOR 的迟滞电压	-	-	120	-	mV
V _{hyst_PVD}	PVD 的迟滞电压	-	-	300	-	mV
I _{DD(BOR_PVD)} ⁽²⁾	BOR 和 PVD 的总功耗	-	-	1.1	2	μA

注 1: POR 在除了 Shutdown 模式外, 都是默认使能的。它的功耗是包含在电源电流特性表格中的。

注 2: 设计保证。

7.3.4 电源电流特性

电源电流的消耗是很多因素的组合：运行电压，环境温度，I/O 负载，设备软件配置，运行频率，I/O 开关速率，程序存储位置和代码差异。

典型和最大电流消耗（MCU 在以下条件测得）：

- 1) 所有的 I/O 脚都处于模拟输入模式；
- 2) 除了特殊说明外，所有外设都禁止；
- 3) Flash 访问时间调整为最小的等待状态数，取决于 f_{SCLK} 频率；
- 4) 当外设使能时，f_{PCLK} = f_{SCLK}；

下面的数据来源于环境温度和表 7-4 所规定的电压范围。

表 7-7 运行模式 1

运行模式	程序方式	外设工作条件	时钟源	SCLK 频率	3.3V	3.3V	3.3V	3.3V	单位
					-40°C	25°C	85°C	125°C	
RUN	程序在 FLASH 运行，开预 取，FLASH_CFG = 0XC1	所有外设禁止	PLL	48MHz	2608	2727	2815	3133	μA
	程序在 FLASH 运行，关预 取，FLASH_CFG = 0XC0		PLL	32MHz	2313	2428	2518	2820	
			INTHF	16MHz	1169	1230	1330	1665	
			INTLF	32KHz	230	264	360	700	
RUN	程序在 RAM 运行， 开 FLASH	所有外设禁止	PLL	48MHz	2349	2457	2532	2820	
			PLL	32MHz	1735	1795	1910	2180	
			INTHF	16MHz	856	909	996	1306	
			INTLF	32KHz	230	265	354	675	
RUN	程序在 RAM 运行， 关 FLASH	所有外设禁止	PLL	48MHz	2188	2287	2348	2610	
			PLL	32MHz	1574	1644	1720	1984	
			INTHF	16MHz	694	738	810	1094	
			INTLF	32KHz	70	96	169	462	

表 7-8 运行模式 2

运行模式	程序方式	外设工作条件	时钟源	SCLK 频率	3.3V	3.3V	3.3V	3.3V	单位
					-40°C	25°C	85°C	125°C	
SLEEP	程序在 FLASH 运行，开预 取，FLASH_CFG = 0XC1	所有外设禁止	PLL	48MHz	1553	1630	1730	2053	μA
	程序在 FLASH 运行，关预 取，FLASH_CFG = 0XC0		PLL	32MHz	1186	1252	1350	1705	
			INTHF	16MHz	579	626	722	1077	
			INTLF	32KHz	230	264	360	70	
SLEEP	程序在 RAM 运行， 开 FLASH	所有外设禁止	PLL	48MHz	1554	1630	1730	2052	
			PLL	32MHz	1185	1253	1352	1703	
			INTHF	16MHz	580	626	722	1075	
			INTLF	32KHz	230	265	360	717	
SLEEP	程序在 RAM 运行， 关 FLASH	所有外设禁止	PLL	48MHz	1392	1460	1542	1843	
			PLL	32MHz	1025	1082	1163	1472	
			INTHF	16MHz	420	456	534	845	
			INTLF	32KHz	70	96	172	487	

表 7-9 运行模式 3

运行模式	程序方式	外设工作条件	时钟源	SCLK 频率	3.3V -40°C	3.3V 25°C	3.3V 85°C	3.3V 125°C	单位
DEEP SLEEP	程序在 FLASH 运行, 开预 取, FLASH_CFG = 0XC1	所有外设禁止	PLL	48MHz	1080	1145	1244	1600	μA
			PLL	32MHz	870	927	1028	1387	
	INTHF		16MHz	422	464	560	918		
	INTLF		32KHz	229	264	360	720		
DEEP SLEEP	程序在 RAM 运行, 开 FLASH	PLL	48MHz	1080	1144	1244	1600		
		PLL	32MHz	870	927	1027	1386		
		INTHF	16MHz	420	463	560	920		
		INTLF	32KHz	229	264	359	720		
DEEP SLEEP	程序在 RAM 运行, 关 FLASH	PLL	48MHz	920	975	1056	1368		
		PLL	32MHz	710	758	840	1155		
		INTHF	16MHz	260	293	370	687		
		INTLF	32KHz	70	96	172	488		

7.3.5 内核电源 VREG

表 7-10 VREG 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{REG}	调整器的输出电压	V _{DD} = 3.3V, T _A = 25°C	-	1.32	-	V
V _{DD} coeff	V _{REG} 的电源变化率	V _{DD} = 3.3V, T _A = 25°C	-	0.1	-	%
t _{setting}	建立时间	V _{REG} = 1.32V, T _A = 25°C	-	43	100	us
I _{drive}	驱动能力	V _{REG} = 1.32V, T _A = 25°C	-	200	230	mA
C _{EXT}	输出退耦电容	V _{REG} = 1.32V, T _A = 25°C	1.8	2.2	5	uF

7.4 时钟源特性

7.4.1 HSE

 表 7-11 HSE 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(HSE)	HSE 占空比	-	45	-	55	%
f _{HSE}	HSE 外部高频频率	V _{DD} = 3.3V, T _A = 25°C	4	8	32	MHz
t _{su} ⁽²⁾ _(HSE)	HSE 启动时间	V _{DD} = 3.3V, T _A = 25°C	-	2.5	-	ms
C _{L(HSE)}	HSE 负载电容	-	10	14	39	pF
I _{DD(HSE)}	HSE 功耗	V _{DD} = 3.3V, ESR = 30Ω, CL = 10pF@8MHz	-	0.54	-	mA
		V _{DD} = 3.3V, ESR = 45Ω, CL = 10pF@16MHz	-	0.95	-	
		V _{DD} = 3.3V, ESR = 30Ω, CL = 5pF@32MHz	-	1.68	-	
V _{HSEH}	HSE 输入 PIN 的高电平范围	-	0.6V _{DD}	-	V _{DD}	V
V _{HSEL}	HSE 输入 PIN 的低电平范围	-	V _{SS}	-	0.3V _{DD}	

注 1: 设计保证。

注 2: t_{su} 表示从软件使能到晶振稳定在 8MHz 的时间。

7.4.2 LSE

 表 7-12 LSE 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(LSE)	LSE 占空比	-	30	-	70	%
f _{LSE}	LSE 频率	V _{DD} = 3.3V, T _A = 25°C	-	32.768	40	kHz
t _{su(LSE)}	LSE 开启时间	-	-	2	-	s
C _{L(LSE)}	LSE 负载电容	-	-	12	-	pF
I _{DD(LSE)}	LSE 功耗	LSEDRV[1:0] = 00 低驱动能力	-	260	-	nA
		LSEDRV[1:0] = 01 中等驱动能力	-	330	-	
		LSEDRV[1:0] = 10 次高等驱动能力	-	520	-	
		LSEDRV[1:0] = 11 最高驱动能力	-	650	-	
V _{LSEH}	OSC_IN 输入 PIN 高电平	-	0.6V _{DD}	-	V _{DD}	V
V _{LSEL}	OSC_IN 输入 PIN 低电平	-	V _{SS}	-	0.3V _{DD}	

注 1: 设计保证。

7.4.3 HSI

 表 7-13 HSI 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(HSI)	HSI 占空比	-	45	-	55	%
f _{INTHF(HSI)}	HSI 内部高频频率	V _{DD} = 3.3V、T _A = 25°C	-	16	-	MHz
ΔTemp _(HSI)	HSI 频率随温度的漂移	V _{DD} = 3.3V、T _A = -40°C~+125°C	-10	±5	+10	%
t _{su(HSI)}	HSI 启动时间	-	-	5	-	us
t _{stab(HSI)}	HSI 稳定时间	-	-	17	-	us
I _{DD(HSI)}	HSI 功耗	-	-	47	-	μA

注 1：设计保证。

7.4.4 LP4M

 表 7-14 LP4M 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(LP4M)	LP4M 占空比	-	45	-	55	%
f _{CLKOUT(LP4M)}	LP4M 时钟频率	V _{DD} = 3.3V、T _A = 25°C	-	4	-	MHz
ΔTemp _(LP4M)	LP4M 温度漂移	V _{DD} = 3.3V, T _A = -40°C~125°C	-8	-	+8	%
t _{su(LP4M)}	LP4M 启动时间	-	-	1.5	-	us
t _{stab(LP4M)}	LP4M 稳定时间	-	-	10	-	us
I _{DD(LP4M)}	LP4M 功耗	-	-	6	-	μA

注 1：设计保证。

7.4.5 LSI

 表 7-15 LSI 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD(LSI)}	LSI 供电电压	T _A = 25°C	2.0	3.3	3.6	V
f _{LSI}	LSI 频率	V _{DD} = 3.3V、T _A = 25°C	30.08	32	33.92	kHz
		V _{DD} = 2.0V~3.6V, T _A = -40°C~125°C	20	32	40	kHz
ΔTemp _(LSI)	LSI 温度漂移	V _{DD} = 3.3V, T _A = -40°C~125°C	-10	-	+10	%
t _{su(LSI)}	LSI 启动时间	-	-	80	132	us
t _{stab(LSI)}	LSI 稳定时间	最终稳定频率 5% 内	-	110	200	us
I _{DD(LSI)}	LSI 功耗	-	-	-	200	nA

注 1：设计保证。

7. 4. 6 PLL

 表 7-16 PLL 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD(PLL)}	运行电压范围	-	2.0	3.3	3.6	V
f _{IN(N(PLL))}	输入频率范围	-	1	-	32	MHz
f _{OUTVCO(PLL)}	VCO 频率范围	-	200	-	400	MHz
T _{pj(RMS)}	Period Jitter	f _{OUTVCO} ≥ 200MHz; 干净电源	-	25	-	ps
T _{pj(P-P)}			-	200	-	
T _{cj}			Cycle-to-Cycle jitter	-	50	
DuCy _(PLL)	占空比	f _{OUTVCO} = 200-400Mhz	40	50	60	%
LKT _(PLL)	锁定时间	-	-	-	0.5	ms
I _{DD(PLL)}	功耗	f _{IN} = 25MHz, f _{OUTVCO} = 200MHz	-	-	0.56	mA

注 1: 设计保证。

7.5 IO 端口特性

7.5.1 静态特性

 表 7-17 IO 静态电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{INL}	I/O 输入低电平	2.0V < V _{DD} < 3.6V	-	-	0.3V _{DD}	V
V _{INH}	I/O 输入高电平	2.0V < V _{DD} < 3.6V	0.6V _{DD}	-	-	V
V _{hys}	I/O 施密特触发器迟滞电压	2.7V < V _{DD} < 3.6V	-	900	-	mV
		2.0V < V _{DD} < 2.7V	-	500	-	
I _{ikg}	输入漏电流	V _{IN} ≤ V _{DD}	-	-	±50	nA
R _{PU}	弱上拉等效电阻	V _{IN} = V _{SS}	40	45	50	kΩ
R _{PD}	若下拉等效电阻	V _{IN} = V _{DD}	40	45	50	kΩ
C _{IO}	I/O 脚等效电容	-	-	3	-	pF

注 1: 设计保证。

7.5.2 IO 输出特性

 表 7-18 IO 输出电气特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
V _{OL}	任意 IO 输出低电平	I _{IO} = 15mA V _{DD} ≥ 2.7V	-	0.4	V
V _{OH}	任意 IO 输出高电平		V _{DD} - 0.4	-	
V _{OL}	任意 IO 输出低电平	I _{IO} = 20mA V _{DD} ≥ 2.7V	-	1.3	
V _{OH}	任意 IO 输出高电平		V _{DD} - 1.3	-	
V _{OL}	任意 IO 输出低电平	I _{IO} = 10mA V _{DD} ≥ 2.0V	-	0.45	
V _{OH}	任意 IO 输出高电平		V _{DD} - 0.45	-	

注 1: 设计保证。

7.5.3 IO AC 特性

 表 7-19 IO AC 电气特性⁽¹⁾

I/O 速度配置	符号	参数	条件	最小值	最大值	单位
低速模式	f _{max}	最大频率	C _L = 10pF, 2.7V ≤ V _{DD} ≤ 3.6V	-	12	MHz
			C _L = 10pF, 2.0V ≤ V _{DD} ≤ 2.7V	-	1	
	t _r /t _f	输出上升和下降时间	C _L = 10pF, 2.7V ≤ V _{DD} ≤ 3.6V	-	18	ns
			C _L = 10pF, 2.0V ≤ V _{DD} ≤ 2.7V	-	60	
高速模式	f _{max}	最大频率	C _L = 10pF, 2.7V ≤ V _{DD} ≤ 3.6V	-	30	MHz
			C _L = 10pF, 2.0V ≤ V _{DD} ≤ 2.7V	-	15	
	t _r /t _f	输出上升和下降时间	C _L = 10pF, 2.7V ≤ V _{DD} ≤ 3.6V	-	4	ns
			C _L = 10pF, 2.0V ≤ V _{DD} ≤ 2.7V	-	7	

注 1: 设计保证

7.5.4 NRST 管脚特性

 表 7-20 NRST 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$V_{INL(NRST)}$	NRST 输入低电平	-	-	-	$0.3V_{DD}$	V
$V_{INH(NRST)}$	NRST 输入高电平	-	$0.6V_{DD}$	-	-	
$V_{hys(NRST)}$	NRST 施密特迟滞电压	-	-	200	-	mV
$R_{pu(NRST)}$	弱上拉等效电阻	$V_{IN} = V_{SS}$	40	50	55	k Ω
$V_{F(NRST)}$	NRST 输入滤波脉冲	-	-	-	60	ns
$V_{NF(NRST)}$	NRST 输入不会滤掉的脉冲	$2.0V \leq V_{DD} \leq 3.6V$	500	-	-	ns

注 1：设计保证。

7.5.5 外部中断特性

 表 7-21 外部中断电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
PLEC	触发事件的脉冲宽度	-	50	-	-	ns

注 1：设计保证。

7.6 外设

7.6.1 ADC 12BIT 特性

 表 7-22 ADC 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电压	-	2.4	-	3.6	V
V _{REF+}	正电压参考	V _{DDA} ≥ 2V	2	-	V _{DDA}	V
		V _{DDA} < 2V	V _{DDA}			
V _{REF-}	负电压参考	-	V _{SSA}			
f _{ADC}	ADC 时钟频率	-	32k	-	16M	Hz
f _s	采样速率	12 bits	-	-	1	Msp/s
A _{vin}	转换电压范围	-	0	-	V _{REF+}	V
R _{IN}	外部允许最大输入串联阻抗	-	-	-	50	kΩ
R _{ADC}	采样开关的电阻	-	-	2	4	kΩ
C _{ADC}	内部采样和保持电容	-	-	9.6	-	pF
t _{su}	上电时间	-	100			us
t _s	采样时间	f _{ADC} = 16M	0.156	-	-	us
		-	-	2.5	-	1/f _{ADC}
t _{conv}	整个转换时间(包含采样时间)	f _{ADC} = 16M	-	1	-	us
		12 bits	T _s +12.5 cycles			1/f _{ADC}
I _{DD(ADC)}	ADC 功耗	f _s = 1Msp/s	-	400	600	μA
O _e	失调误差	f _{ADC} = 16M, R _{IN} = 500Ω 2.4V < V _{DDA} < 3.6V V _{REF+} = V _{DDA} , T _A = 25°C	-	±4	-	LSB
G _e	增益误差		-	±4	-	
DNL	微分非线性		-	-	±4	
INL	积分非线性		-	-	±4	
ET	全范围误差	f _{ADC} = 16M, R _{IN} = 500Ω V _{DDA} = 3.3V V _{REF+} = V _{DDA} , T _A = 25°C	-	4	6	
ENOB	有效位数	-	10	10.5	-	Bits
SINAD	信号对噪声和失真的抑制比	-	64.4	64.5	-	dB
SNR	信噪比		65	66	-	
THD	谐波失真		73	74	-	

注 1: ADC 测试数据为软件平均后的结果。

7.6.2 电压参考 VREFREG 特性

 表 7-23 VREFREG 特性⁽¹⁾

符号	参数	条件		最小值	典型值	最大值	单位
V _{DDA}	供电电源	常规模式	电压输出 2V	2.4	-	3.6	V
		退化应用	电压输出 2V	1.65	-	2.4	
V _{REFVREG_OUT}	输出参考电压	常规模式	电压输出 2V	1.95	2.0	2.05	
		退化应用	电压输出 2V	V _{DDA} -150mV	-	V _{DDA}	
C _{L(VREFREG)}	电容负载	-		-	-	2.2	uF
I _{load(VREFREG)}	静态负载电流	-		-	-	4	mA
I _{line_reg(VREFREG)}	电源调整率	2.8V ≤ V _D	I _{load} = 500 μA	-	200	1000	ppm/
		D _A ≤ 3.6V	I _{load} = 4mA	-	100	500	V
I _{load_reg(VREFREG)}	负载调整率	500 μA ≤ V _{DDA} ≤ 4mA	正常模式	-	50	500	ppm/ mA
T _{Coeff(VREFREG)}	温漂	-40°C ≤ T _j ≤ +125°C		-	-	200	ppm/
		0°C ≤ T _j ≤ +50°C		-	-	120	°C
PSRR(VREFREG)	电源抑制比	DC		30	55	-	dB
		100kHz		15	29	-	
t _{su(VREFREG)}	开启时间	-		-	50	-	us
I _{INRUSH}	开启 VREFREG 的最大驱动电流	-		-	9	-	mA
I _{DD(VREFREG)}	VREFREG 的电流消耗	I _{load} = 0 μA		-	13.3	16	μA
		I _{load} = 500 μA		-	15	19	
		I _{load} = 4mA		-	26	30	

注 1: 设计保证。

7.6.3 比较器特性

 表 7-24 比较器电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA(CMP)}	供电电源	-	2.4	-	3.6	V
V _{IN(CMP)}	比较器输入范围	-	0	-	V _{DDA} -1	
V _{offset(CMP)}	失调电压	-	-10	-	10	mV
V _{hyst(CMP)}	比较器迟滞电压	无迟滞	-	0	-	mV
		低迟滞	-	5.78	-	
		中等迟滞	-	10.86	-	
		高迟滞	-	15.5	-	
I _{DD(CMP)}	比较器电流消耗	-	-	16.29	-	μA
t _{delay(CMP)}	输出延迟	V _{DD} = 3.3V, 200mV 的台阶, 100mV 的过冲	-	65	-	ns

注 1: 设计保证。

7.7 功耗特性

7.7.1 程序运行在 FLASH 时的静态功耗特性

表 7-25 程序运行在 FLASH 时的静态功耗特性

运行模式	程序方式	时钟源	外设工作条件	MR	温度	SCLK 频率	典型值	单位
RUN	程序在 FLASH 运行, 开预取, FLASH_CFG=0XC1	PLL	所有外设禁止, V _{DD} =3.3V	1.32V	25°C	48MHz	2930	μA
	程序在 FLASH 运行, 开预取, FLASH_CFG=0XC0					32MHz	2550	
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC0	INTHF				16MHz	1280	
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC0	INTLF				4MHz	580	
	程序在 FLASH 运行, 开预取, FLASH_CFG = 0XC0					32KHz	275	

7.7.2 程序运行在 SRAM 时的静态功耗特性

表 7-26 程序运行在 SRAM 时的静态功耗特性

运行模式	运行方式	外设工作条件	VDD	MR	温度	SCLK 频率	最小值	典型值	最大值	单位
RUN	程序在 SRAM 中运行	所有外设禁止, 不关闭 FLASH	3.3V	1.32V	25°C	48MHz	-	2670	-	μA
						32MHz	-	1960	-	
						16MHz	-	980	-	
						32KHz	-	280	-	

7.7.3 休眠功耗特性

表 7-27 休眠功耗特性

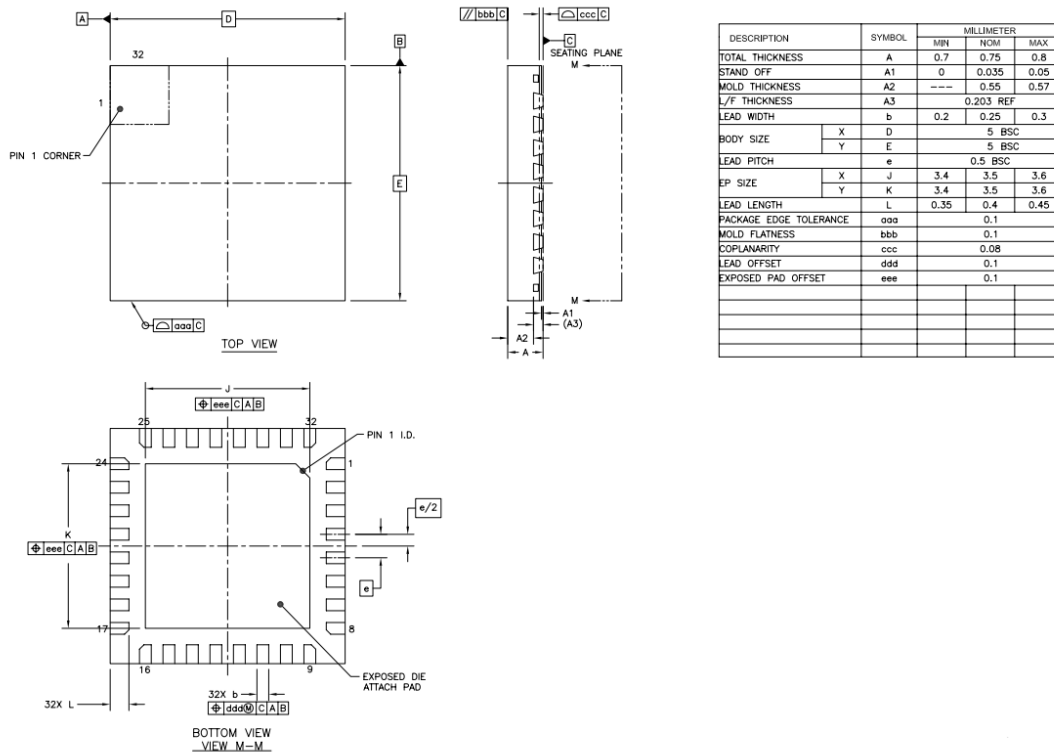
运行模式	运行方式	外设工作条件	MR	时钟源	SCLK 频率	温度	最小值	典型值	最大值	单位
休眠	SLEEP	所有外设禁止, V _{DD} = 3.3V	1.32V	INTHF	16MHz	-40°C	-	720	-	μA
						25°C	-	757	-	
						85°C	-	882	-	
						125°C	-	1281	-	
		所有外设禁止, V _{DD} = 3.3V	1.2V	INTHF	16MHz	-40°C	-	658	-	
						25°C	-	688	-	
						85°C	-	795	-	
						125°C	-	1154	-	

7.7.4 低功耗模式特性
表 7-28 低功耗模式特性

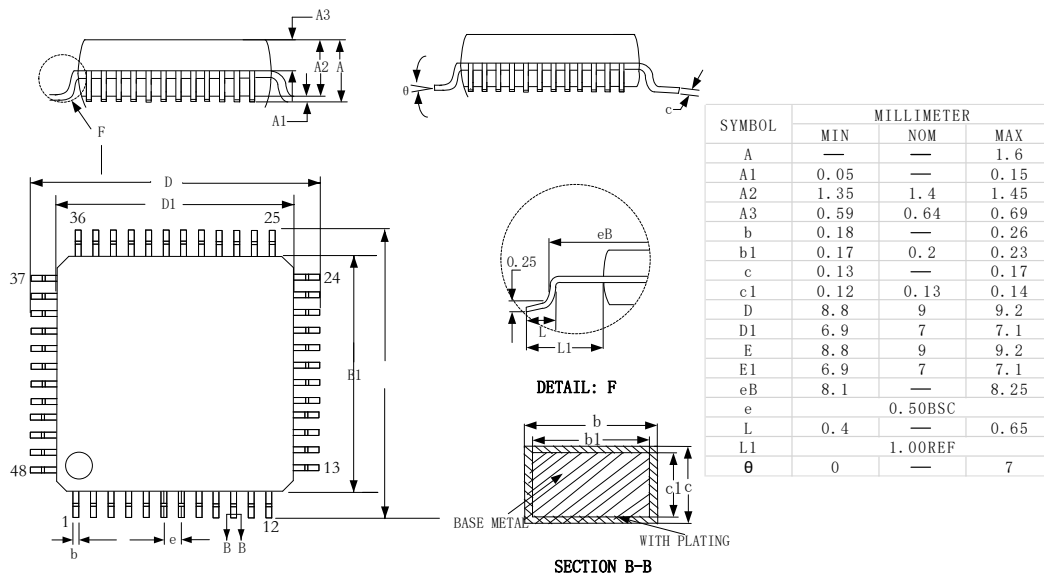
功耗模式	工作模块	VDD	PMCTL0	MR/LPR	VDD18	最小值	典型值	最大值	单位
Shutdown	无	3.3V	0100 0804	关断	关断	-	0.2	0.2	μA
Shutdown	LSI	3.3V	2100 0804	关断	关断	-	0.3	0.5	
Standby	无	3.3V	0100 0803	关断	关断	-	1.0	1.2	
Standby	LSI	3.3V	2100 0803	关断	关断	-	1.2	1.5	
Standby	IWDT	3.3V	2120 0883	关断	关断	-	1.5	1.5	
Standby	DPRAM	3.3V	0110 0803	LPR	关断	-	1.2	1.7	
Stop1	无	3.3V	0100 0802	LPR	关断	-	2.4	4.9	
Stop1	LPRAM	3.3V	0108 0802	LPR	关断	-	3.6	6.8	
Stop0	无	3.3V	0100 0801	LPR	关断	-	26	40	

8 封装信息

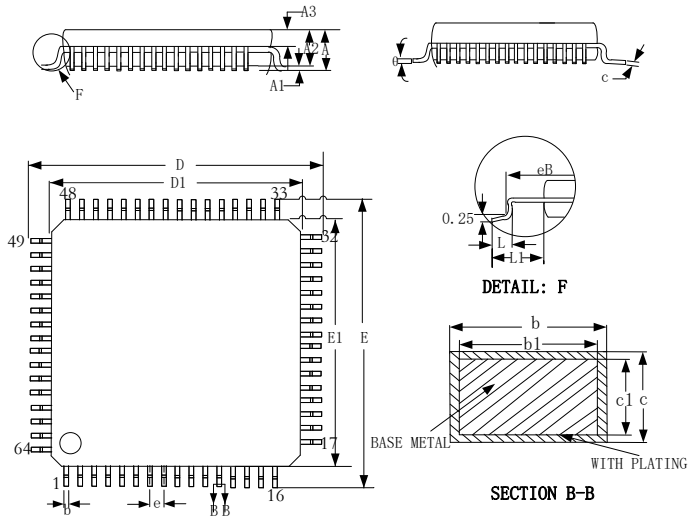
8.1 QFN32 封装



8.2 LQFP48 封装

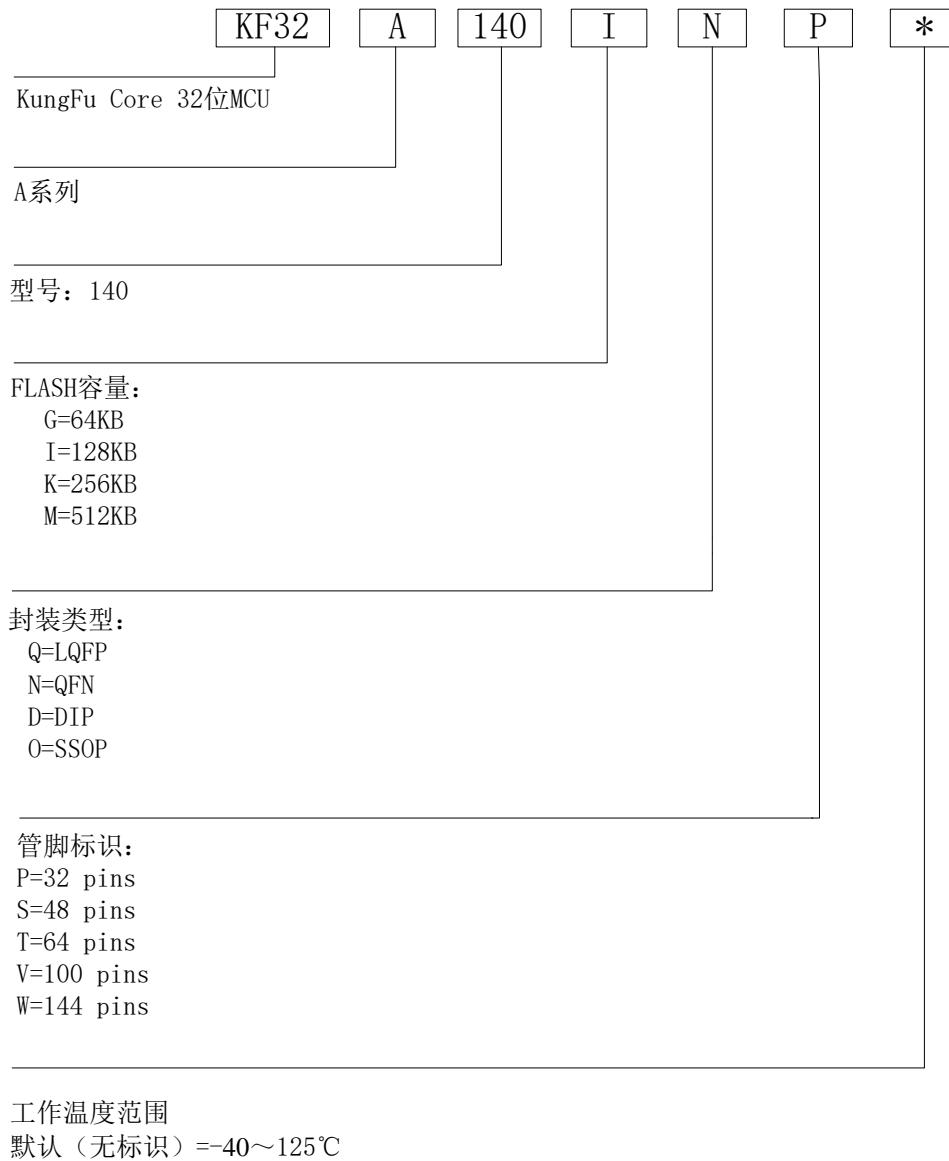


8.3 LQFP64 封装



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.6
A1	0.05	—	0.15
A2	1.35	1.4	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.2	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	11.8	12	12.2
D1	9.9	10	10.1
E	11.8	12	12.2
E1	9.9	10	10.1
eB	11.05	—	11.25
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7

9 KF32 产品标识体系



10 RoHS 认证

本产品已通过 RoHS 检测

11 声明及销售网络

销售及服务网点

上海 TEL:021-50275927

地址：上海浦东龙东大道 3000 号张江集电港 1 幢 906 号 B 座

12 版本更新记录

版本号	更新说明	页码	更新日期
V1.2	更新产品订购信息和外设资源对照表	6	2020-02-21
V1.3	I/O 口介绍中添加 3.6/3.7 小节	35	2020-02-24
V1.4	更新产品订购信息	6	2020-03-08
V1.5	更新资源信息 TS	-	2020-03-08
V1.6	更新资源信息 TS	-	2020-04-01
V1.7	修改唤醒引脚下标	-	2020-04-07
V2.0	更新第三章映射部分	-	2020-05-05
V2.1	添加第三/四章节	-	2020-06-15
	添加 2.3 在线编程小节	-	
	添加 5.6 CCP 引脚资源小节	-	
	更新关于 VBAT 的相关内容	-	
	更新产品订购信息以及相关内容	-	
V2.2	添加 7.7 小节	-	2020-07-03
V2.3	添加 2.7 小节电源引脚说明	-	2020-08-10
V2.4	更新在线编程和调试章节，增加 DPI 模式说明	-	2020-08-27
V2.5	更新 LQFP64 封装尺寸	-	2020-09-22
V2.6	添加 QFN32 封装以及相关内容	-	2020-10-19
V2.7	更新芯片引脚图目录以及调整部分文字格式	-	2020-10-23
V2.8	添加第 9 章产品标识以及数字重映射表最后一列低功耗引脚	-	2021-01-18
V2.9	更新数字映射 AF11 列 CxOUT 下标	-	2021-02-07
V2.10	更新产品订购信息和资源表	6	2021-02-24
V2.11	更新芯片特征描述	2	2021-02-27
V2.12	更新电气特性章节描述	-	2021-03-10
V3.0	更新功耗模式相关信息	-	2021-04-30
	更新电气特性章节最大时钟频率相关信息	-	
	更新 HSI 时钟温漂特性	43	
	更新引脚重映射相关章节相关信息 1、删除 T18/T19/T22 相关重映射 2、删除 T20/21/23/QEI1 相关重映射 3、删除 PE15-AF5-USART2_CLK; 4、删除 PA4-AF9-CAN1RX; 5、删除 PA5-AF9-CAN1TX; 6、删除 PD13-AF9-CAN1RX; 7、删除 PD14-AF9-CAN1TX; 8、删除 PC5-AF5-USART2_RTS/AF11-USART2_RX;	21	

版本号	更新说明	页码	更新日期
	9、删除 PC6-AF5-USART2_CTS/AF11-USART2_CLK。 10、删除 PC13-AF2-T10CK 11、删除 PD11-AF2-ECCP9CH2L 12、删除 PD12-AF2-ECCP9CH2H 13、删除 PC13-AF2-T10CK		
V3.1	更新电源引脚说明章节，增加稳压二极管保护	15	2021-8-23
V3.2	在数字重映射章节，数字重映射表前增加说明	21	2021-12-28
	恢复部分 V3.0 版本中删除的引脚重映射相关信息： 1、恢复 PE15-AF5-USART2_CLK； 2、恢复 PA4-AF9-CAN1RX； 3、恢复 PA5-AF9-CAN1TX； 4、恢复 PD13-AF9-CAN1RX； 5、恢复 PD14-AF9-CAN1TX； 6、恢复 PC5-AF5-USART2_RTS/AF11-USART2_RX； 7、恢复 PC6-AF5-USART2_CTS/AF11-USART2_CLK。	21	
	删除 PA1-AF9-FLT12/PB13-AF9-FLT12/PC9-AF9-FLT12/PD15-AF9-FLT12	21	